

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

- Os Sistemas Digitais são constituídos a partir de portas. O principal factor determinante da velocidade com que um Sistema Digital pode funcionar é a velocidade com que operam as portas. O factor mais importante relacionado com a velocidade de uma porta é o atraso de propagação (t_{ap}): é o tempo requerido pela saída de uma porta lógica para responder a uma mudança no nível lógico da entrada.
- Classificação dos Circuitos Integrados
 - Integração em pequena escala (SSI) < 100 portas
 - Integração em média escala (MSI) $100 < NP < 1\ 000$
 - Integração em larga escala (LSI) $1\ 000 < NP < 10\ 000$
 - Integração em muito larga escala (VLSI) $> 10\ 000$ portas
- **Circuitos combinacionais:** são circuitos cujas saídas dependem somente dos níveis das entradas actuais e não têm relação com a história passada do circuito.

SD / SD1 - Famílias Lógicas (7)

1

- **Famílias lógicas**
 - **TTL – Transistor Transistor Logic**
 - A mais usada
 - Série 54 (-55 a +125 °C) – utilizações militares
 - Série 74 (0 a +75 °C) – utilizações industriais
 - Sub-famílias: STD, S, LS, ALS, AS
 - **ECL – Emitter Coupled Logic**
 - A mais rápida
 - Consumo elevado
 - **CMOS – Complementary MOS**
 - A que menos consome
 - Muito lenta
 - Funciona com alimentação entre 3 e 5 V
 - Problemas na interface TTL para CMOS
 - Em grande desenvolvimento

SD / SD1 - Famílias Lógicas (7)

2

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

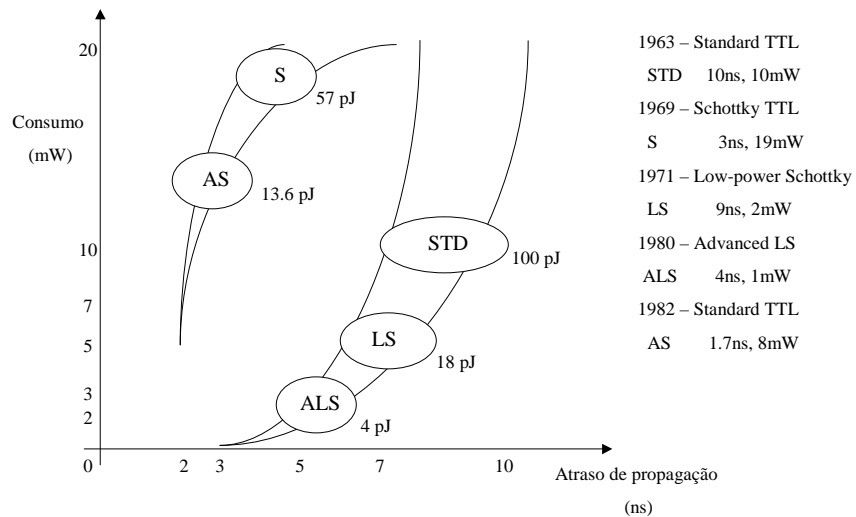
↘ HCMOS – High-speed CMOS

- ↘ Baixo consumo – baixa velocidade
- Consumo mais elevado – alta velocidade
- ↘ Funciona com alimentação es entre 2 e 6 V
- ↘ Problemas na interface TTL para HMOS

SD / SD1 - Famílias Lógicas (7)

3

↘ Evolução da família TTL



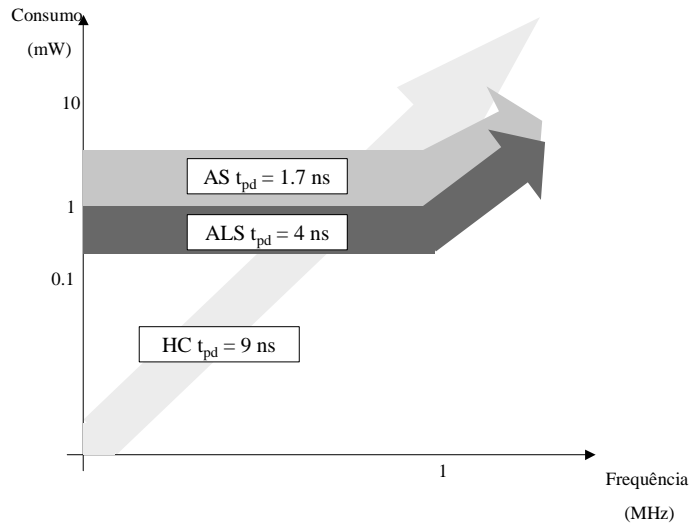
SD / SD1 - Famílias Lógicas (7)

4

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

Relação com HCMOS

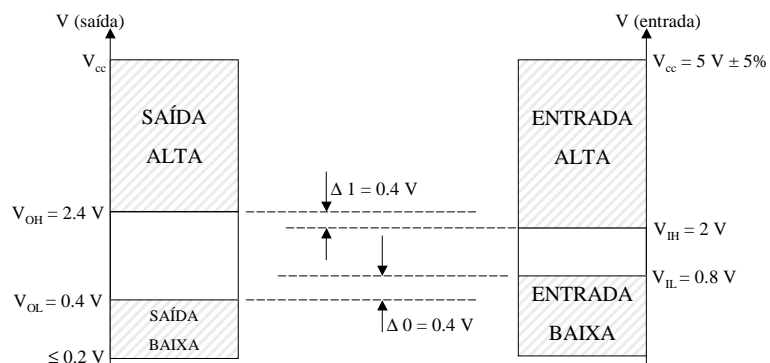


SD / SD1 - Famílias Lógicas (7)

5

TTL

- V_{OH} – tensão de saída mínima que a porta fornece quando estiver ao nível alto
- V_{OL} – tensão de saída máxima que a porta fornece quando estiver ao nível baixo
- V_{IH} – tensão mínima que pode ser aplicada à entrada e reconhecida como nível alto
- V_{IL} – tensão máxima que pode ser aplicada à entrada e reconhecida como nível baixo



- Tensão de alimentação: 5 V

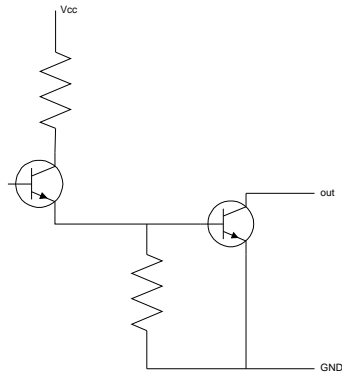
SD / SD1 - Famílias Lógicas (7)

6

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

↳ Saídas em colector aberto

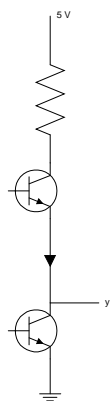


SD / SD1 - Famílias Lógicas (7)

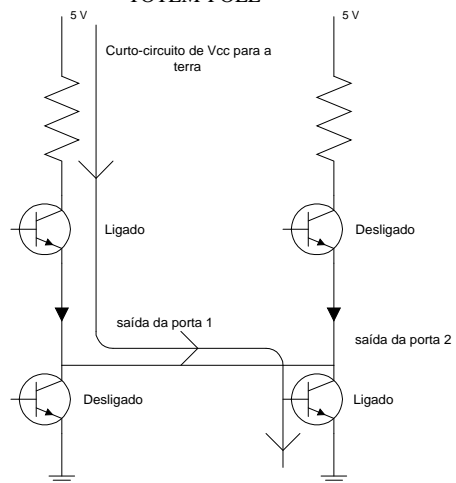
7

↳ Tipos de saídas das portas TTL

↳ Normalmente saída TOTEM-POLE



Problemas na interligação de saídas em TOTEM-POLE



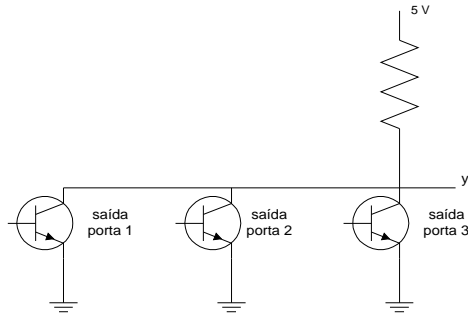
SD / SD1 - Famílias Lógicas (7)

8

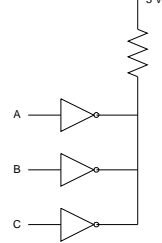
Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

↳ Saídas em colector aberto



Exemplo: 5V

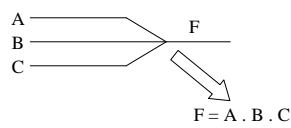


A	B	C	Saída
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

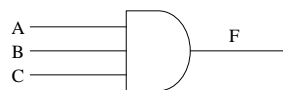
SD / SD1 - Famílias Lógicas (7)

9

↳ Podem ser ligadas ao mesmo ponto



↳ Outro tipo de saída



SD / SD1 - Famílias Lógicas (7)

10

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

➤ Entradas “Schmitt Trigger”

Inversor normal
74LS04

Inversor Schmitt Trigger 74LS14

- Útil na recepção de sinais com ruído
- Entradas não utilizadas:
 - forçar a L: ligar a GND
 - forçar a H: ligar a V_{cc} (através de uma resistência de *pull-up* – $1k\Omega$ e, std TTL -)

SD / SD1 - Famílias Lógicas (7) 11

➤ Evitar soluções do tipo

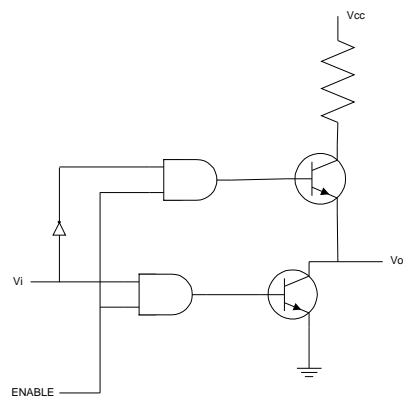
Equivalentes a

SD / SD1 - Famílias Lógicas (7) 12

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

↳ Saída “3 estados”



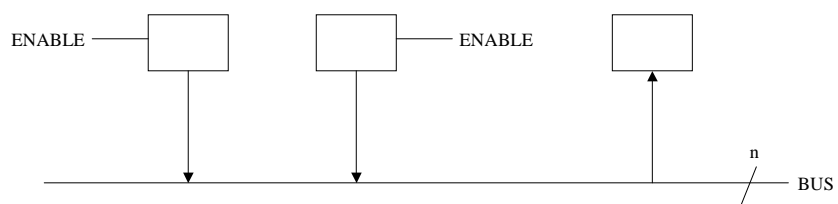
$$\text{Enable} = 1 \left\{ \begin{array}{l} V_o = 0 \\ V_o = 1 \end{array} \right.$$

$$\text{Enable} = 0 \left\{ V_o = \text{alta impedância} \right.$$

SD / SD1 - Famílias Lógicas (7)

13

↳ Implementação de BUS



SD / SD1 - Famílias Lógicas (7)

14

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

→ Quadro resumo das características estáticas TTL

Parâmetro	74 TTL	74S TTL	74LS TTL	74ALS TTL	74AS TTL
V_{IH} min (V)	2	2	2	2	2
V_{IL} máx (V)	0.8	0.8	0.8	0.8	0.8
V_{OH} min (V)	2.4	2.7	2.7	2.7	2.7
V_{OL} máx (V)	0.4	0.4	0.4	0.4	0.4
I_{IH} máx (μ A)	40	50	20	20	200
I_{IL} máx (mA)	-1.6	-2	-0.4	-0.1	-2
I_{OH} máx	-0.4	-0.4	-0.4	-0.4	-2
I_{OL} máx	16	20	8	4	20
V_{cc} (V) min t_{pi} máx	4.75		5		5.25
I_{ec} (mA) = $\min(I_{OL}/I_{IL}, I_{OH}/I_{IH})$	10	10	20	20	10

SD / SD1 - Famílias Lógicas (7)

15

→ Margem de ruído

Parâmetro	74 TTL	74S TTL	74LS TTL	74ALS TTL	74AS TTL
$V_{NL} = V_{IL} - V_{OL}$ (V)	0.4	0.4	0.4	0.4	0.4
$V_{NH} = V_{OH} - V_{IH}$ (V)	0.4	0.7	0.7	0.7	0.7

→ Cuidado quando se interligam elementos de subfamílias diferentes

SD / SD1 - Famílias Lógicas (7)

16

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

↘ Subfamílias CMOS

- ↘ Série de porta metálica
 - ↘ Vantagens sobre TTL
 - Opera com tensões entre 3 e 15 V
 - Baixos consumos
 - Elevada imunidade a ruídos
 - ↘ Desvantagens
 - Longos atrasos de propagação (100 ms)
 - Sensibilidade a descargas electrostáticas
 - ↘ Exemplos de CI:
 - 4001: 4 NOR's de 2 entradas
 - 4012: 4 NAND's de 2 entradas
 - 4070: 4 XOR's de 2 entradas

- ↘ As outras subfamílias CMOS são identificadas pela letra **C**
 - ↘ 74Cxx ou 54Cxx → CMOS
 - ↘ 74HCxx ou 54HCxx → CMOS de alta velocidade (HC)
 - ↘ 74HCTxx ou 54HCTxx → CMOS de alta velocidade compatível com TTL (HCT)
 - ↘ 74ACxx ou 54ACxx → CMOS avançada (AC)
 - ↘ 74ACTxx ou 54ACTxx → CMOS avançada compatível com TTL (ACT)
- ↘ Os CI 74xx ou 54xx (TTL) têm o mesmo funcionamento e a mesma pinagem que os CI 74Cxx ou 54Cxx
- ↘ As subfamílias 74NC e 74MCT são compatíveis pino a pino com a série 74LS (TTL)

Sistemas Digitais / Sistemas Digitais I

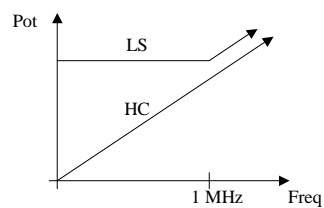
7 – Famílias Lógicas

→ HCMOS

→ Tensão de alimentação:

	min	tip	máx
V _{cc} (V)	2	4.5	6
t _{pd} (tip) (ns)	45	9	8

→ Velocidade comparável a LS TTL, mas...



→ Gama de aplicações:

- Baixo consumo – baixa velocidade
- Consumo mais elevado – alta velocidade

→ Cuidado com cargas electrostáticas (não tocar com os dedos directamente nos pinos)

→ Sequência de ligação e corte de alimentação

→ POWER UP

1. Ligação de GND
2. Ligação de V_{cc}
3. Ligação dos sinais

→ POWER DOWN

1. Corte dos sinais
2. Corte de V_{cc}
3. Corte de GND

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

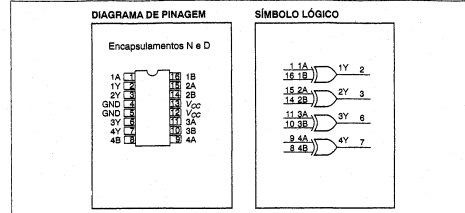


Figura 6.23 74AC11086 (quatro OR-exclusivo de duas entradas).

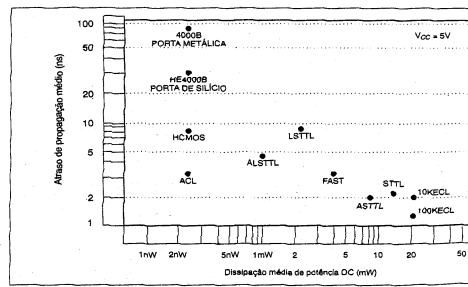


Figura 6.26 Espectro velocidade/potência de famílias lógicas.

SD / SD1 - Famílias Lógicas (7)

21

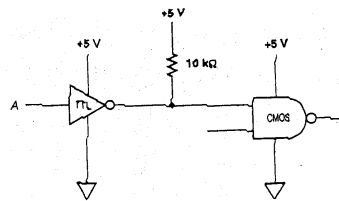


Figura 6.24 Interface de TTL para CMOS operando em 5V.

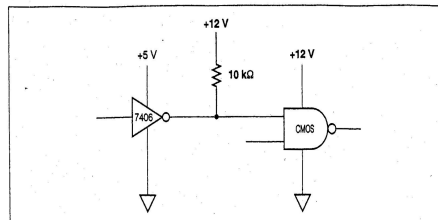


Figura 6.27 Interface de TTL para CMOS operando com uma tensão maior.

SD / SD1 - Famílias Lógicas (7)

22

Sistemas Digitais / Sistemas Digitais I

7 – Famílias Lógicas

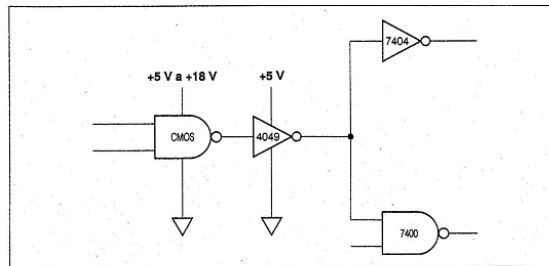


Figura 6.28 Interface de CMOS para TTL.

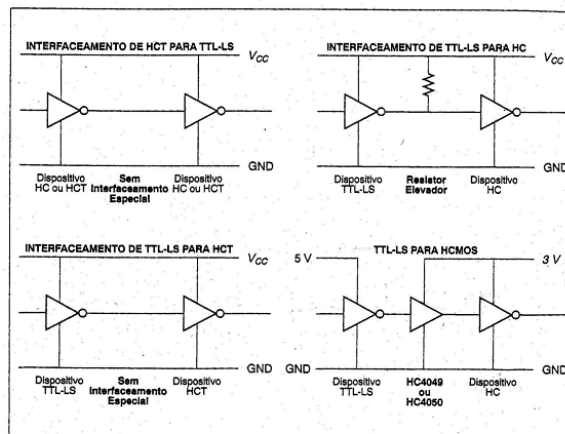


Figura 6.29 Interfacingo de TTL para dispositivos HC e HCT (Cortesia da Motorola, Inc.).