

TÉCNICAS DE CONDICIONAMENTO DE SINAL: Conversão de Dados

“Sistema destinado a **codificar** e **transmitir** para um **sistema digital** (computador, uC ou *Data Logger*) diversos **sinais analógicos**, presentes nas respectivas entradas, pelo processo de **divisão temporal** (*Time Division Multiplexing*).”

Aplicação

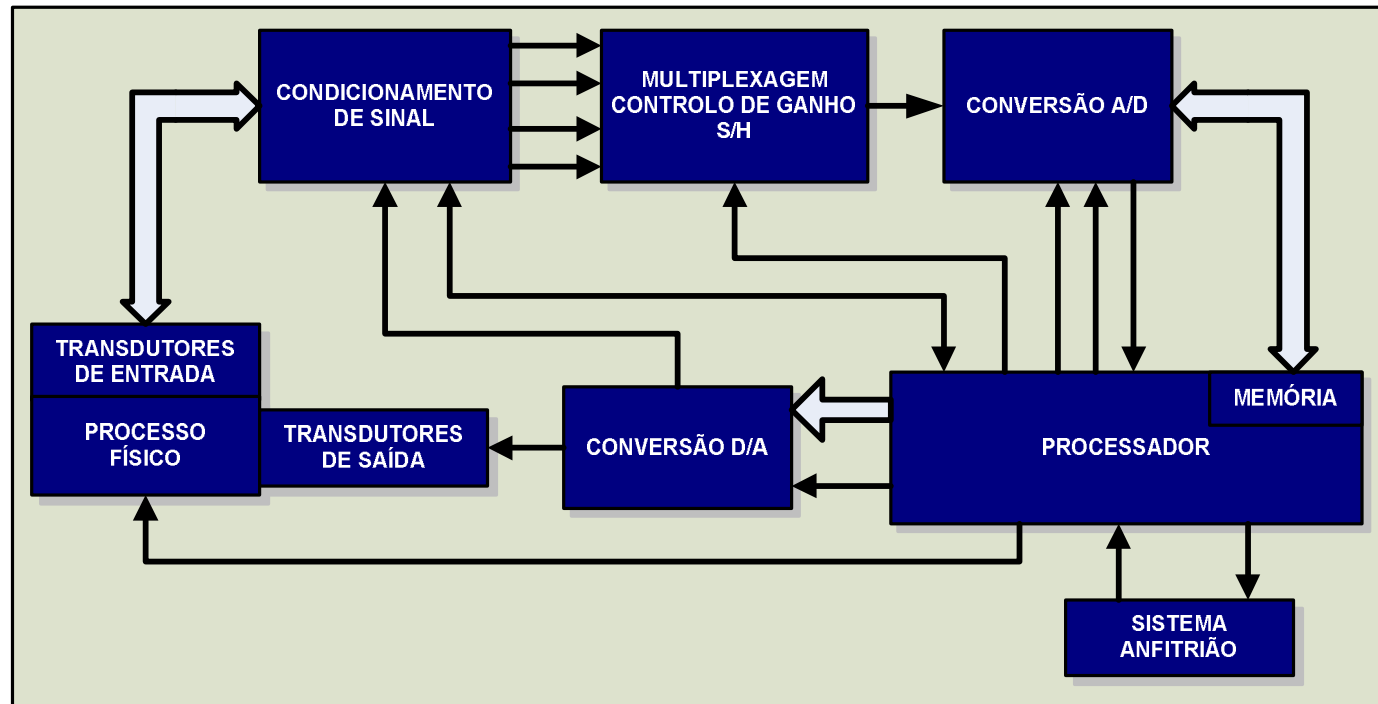
- Medição de temperaturas em pontos diversos de uma máquina;
- Medição de vibrações mecânicas numa estrutura complexa (estudos sísmicos, estrutura metálica ou de betão);
- Medição de grandezas envolvidas em processos físico-químicos (indústria ou laboratório);
- Medição de grandezas que permitam caracterizar a qualidade ambiental;
- Caracterização de grandezas bioeléctricas;
- Sistemas de controlo de diversa natureza;

Existem dois tipos mais comuns:

Divisão temporal analógica (*Time Division Analog Multiplexing*) – É o mais típico e mais usado nos sistemas de aquisição de dados de maior complexidade

Composto por:

- Multiplexer Analógico;
 - Contador e Descodificador de Endereço Relativo;
 - Amplificador de Instrumentação;
 - Circuito S&H (*Sample & Hold*);
 - Conversor Analógico Digital;
 - Gerador de Tensão DC de Referência;
 - Lógica de Controlo;
 - Gerador de Tempo de Atraso (*Delay*);
 - Conversor Digital Analógico;
-
- Divisão temporal digital (*Time Division Digital Multiplexing*) – Na sua versão mais simples é um multiplexer digital e é usado em sistemas simples;
-



Aspectos mais Importantes

- Número de entradas analógicas disponíveis (Diferenciais ou *Single-Ended*) e possibilidade de expansão;
- Nível e tipo das entradas analógicas (presença ou não do amplificador);
- Resolução, precisão e TOC do Conversor A/D;
- Erro de linearidade especificado;
- Tipo de barramento do sistema (Paralelo, Série, USB, PCI, etc.);

Conversão de Dados: Digital para Analógico

- uP e uC são utilizados, de modo rotineiro, para o controlo de tarefas.
- Necessidade de interacção com o mundo físico analógico: a maior parte dos fenómenos físicos é CONTÍNUA naturalmente.
- Os sistemas de processamento digital são projectados para trabalhar com dados em forma DISCRETA.
- Níveis de tensão que representam estados (números binários).

Função de uma DAC

- Conversor D/A ou DAC aceita uma *string* de bits e converte esse padrão num nível de tensão (corrente) “equivalente”
- Por norma a sequência de bits é interpretada como um número binário.
- O mapeamento deve ser unívoco.
- O número de níveis distintos capazes de serem produzidos por uma DAC são portanto:

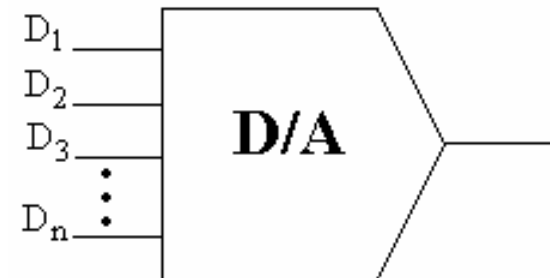
$$N = 2^n$$

Exemplo:

Um D/A aceita números binários de 10 bit. Qual o número de saídas diferentes possíveis para este dispositivo?

O número de níveis de saída é usado para definir a resolução. Em termos percentuais a resolução é obtida por:

$$\frac{1}{2^n} \times 100\%$$



símbolo de uma DAC de n-bit

No exemplo anterior a resolução é de 0.098%. Este valor indica que o menor valor que pode ser colocado à entrada de modo a que a saída comute é de quase 0.1% do VALOR DE FIM-DE-ESCALA.

O valor de **fim-de-escala** da saída é a tensão ou nível de corrente que uma DAC ideal (n inf.) debitaria quando a *string* à sua entrada fosse composta apenas por '1'

A gama dinâmica numa DAC real é sempre inferior à ideal, i.e. a sua saída nunca atinge o valor de fim-de-escala.

EXEMPLO

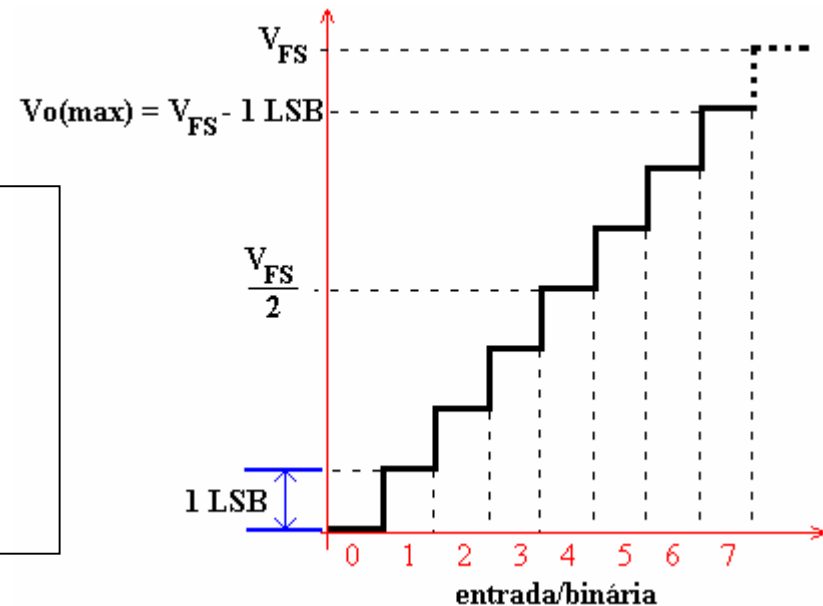
Considerar uma DAC de 2 bit => Resol=25% com $V_{fs}=5V$

$[0\ 0] > (0V)$ - $[0\ 1] > (5 \cdot .25)$ - $[1\ 0] > (5 \cdot 0.5)$ - $[1\ 1] > (5 \cdot 0.75)$

A saída da DAC é $V_{fs}/2$ quando apenas o MSB = '1'

Idealmente a altura dos degraus é constante. Esta altura está ligada à resolução e ao valor de fim-de-escala por:

$$1 \text{ LSB} = \frac{V_{FS}}{2^N}$$

**EXEMPLO**

Determine a tensão de saída de uma DAC de 4-bit com uma $V_{fs}=10.00V$ dada as entradas:

i) 0001_2 ii) 0100_2 iii) 1111_2

Exactidão

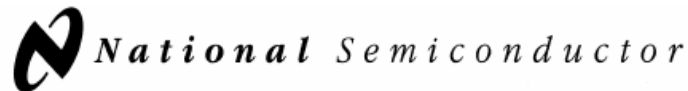
- Exactidão e resolução não são sinónimos!
- Uma DAC de 16 bit possui elevada resolução o que não significa que a saída seja um representação exacta de uma dada entrada.
- Em operação normal a exactidão de uma DAC é de $\pm 1/2$ LSB
- Existem diversas fontes de erro que podem aumentar esse valor:
 - Offset
 - Ganho
 - Não-Linearidade

Tempo de Estabelecimento

- Uma DAC é suposta ter uma BW infinita
 - Na prática requer um intervalo de tempo para executar a conversão. Este tempo é designado por tempo de estabelecimento.
 - Tipicamente o tempo de estabelecimento é definido como o tempo necessário para atingir $\pm 1/2$ LSB
-

-O tempo de estabelecimento limita a razão de conversão

Exemplo: Uma DAC com $T_s=1\text{ms}$ implica que esta apenas fornece uma saída com sentido se a sua entrada não mudar a uma taxa superior a 1ms



DAC0830/DAC0832

8-Bit μP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™).

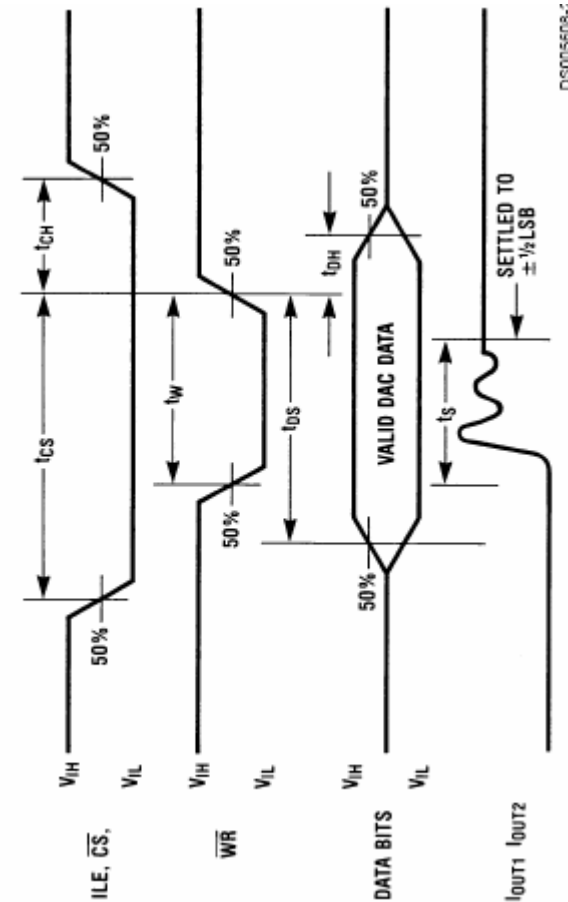
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only — NOT BEST STRAIGHT LINE FIT.
- Works with $\pm 10\text{V}$ reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

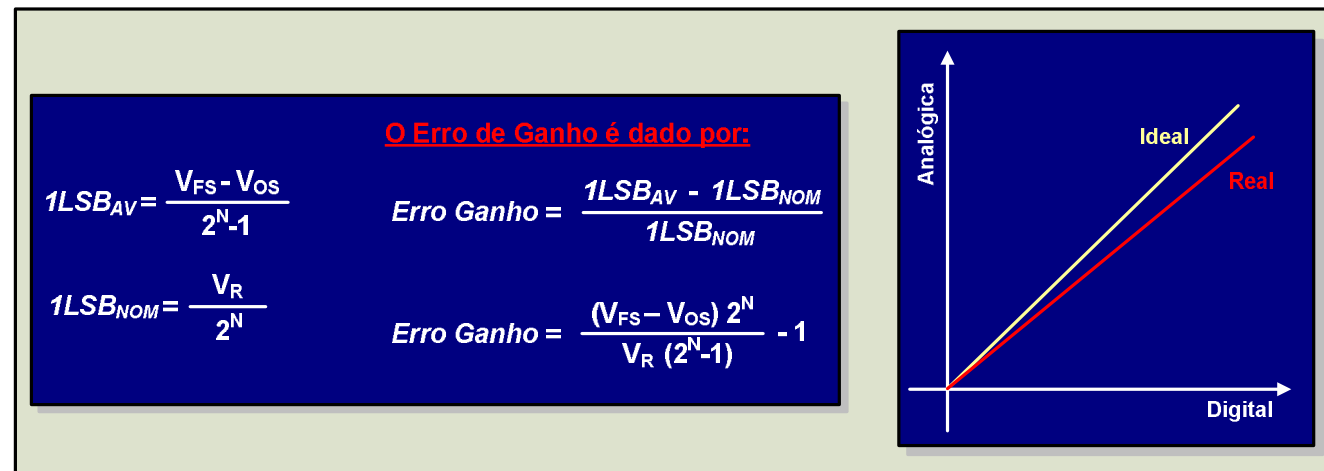
- Current settling time: 1 μs
- Resolution: 8 bits
- Linearity: 8, 9, or 10 bits (guaranteed over temp.)
- Gain Tempco: 0.0002% FS/°C
- Low power dissipation: 20 mW
- Single power supply: 5 to 15 V_{DC}

Switching Waveform



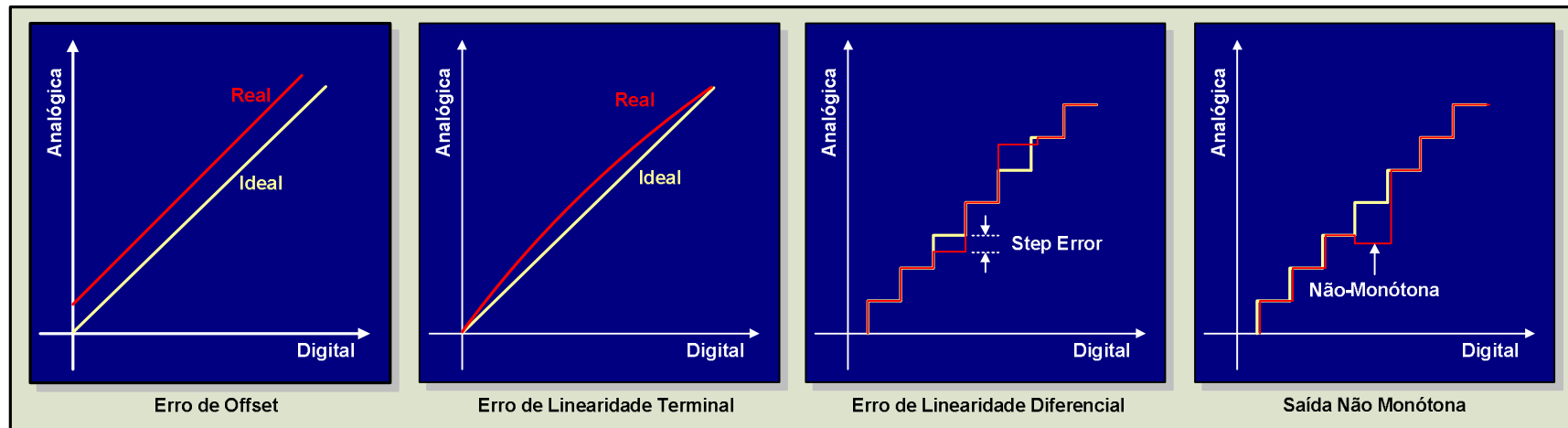
DS006508-1

- **Precisão Absoluta:** É especificada como sendo o erro máximo na saída, expresso em volts, relativo a um valor absoluto externo padrão (valor fim-de-escala). É afectada pela variação da tensão de referência;
- **Precisão Relativa:** É especificada como sendo o erro máximo expresso em percentagem do valor fim-de-escala. Não é afectada pela variação da tensão de referência;



- **Erro de Ganho:** Também denominado por Erro de Factor de Escala. É visto como sendo a diferença entre a curva de transferência ideal (nominal) e a real (média), expressa em percentagem do valor fim-de-escala.

- **Erro de Offset:** É medido na situação de código nulo na entrada. Nesta situação a saída deverá ser nula também. Caso contrário a diferença é o erro de offset.
- **Linearidade:** É vista como a aproximação entre a curva de transferência real à curva (recta) que liga os códigos terminais. A diferença máxima entre as duas curvas é designada por Erro de Linearidade Terminal ou Integral. Outro aspecto importante tem a ver com a variação não linear da tensão de saída com a variação crescente dos códigos de entrada, denominado Erro de Linearidade Diferencial. No caso em que a saída decresce quando a entrada é crescente então diz-se que o conversor é Não-Monótono.

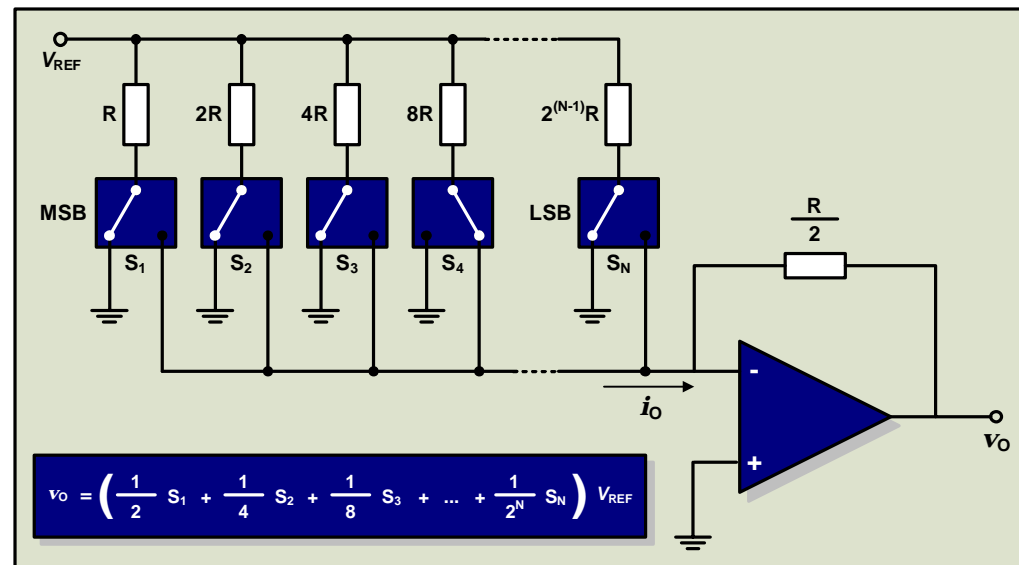


Circuitos de Conversão D/A

Conversor de Resistências Ponderadas

- Utiliza uma rede resistiva cujos valores das resistências são ponderadas em função do bit que representam.
- O resultado é a soma ponderada de cada uma das linhas e está dependente do código binário de entrada.

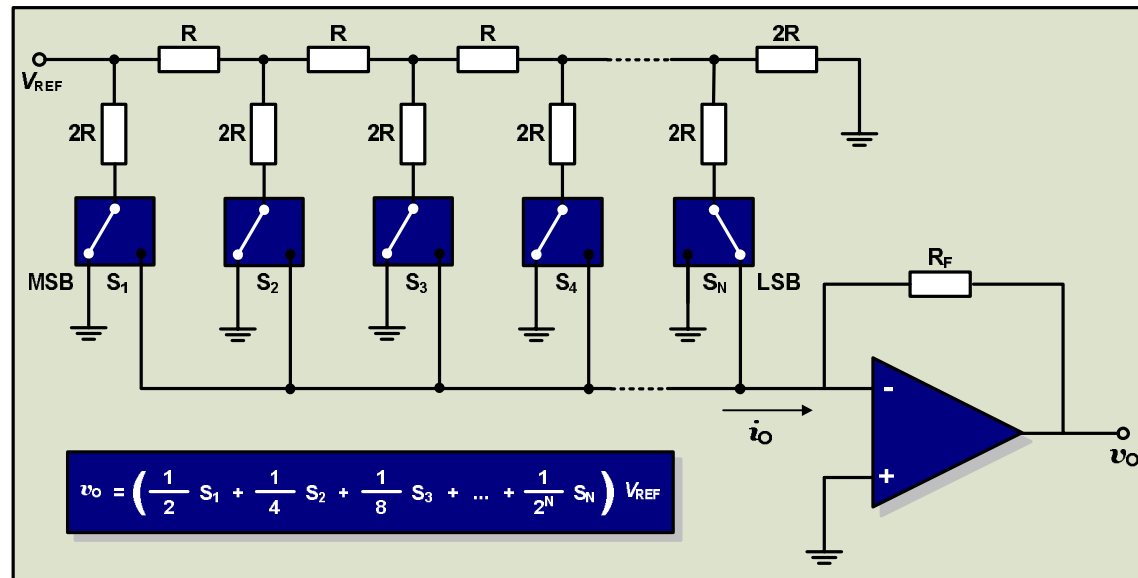
- Resultados satisfatórios para conversores de 6 bit's.
- Resoluções superiores implicam muitos valores de resistências:

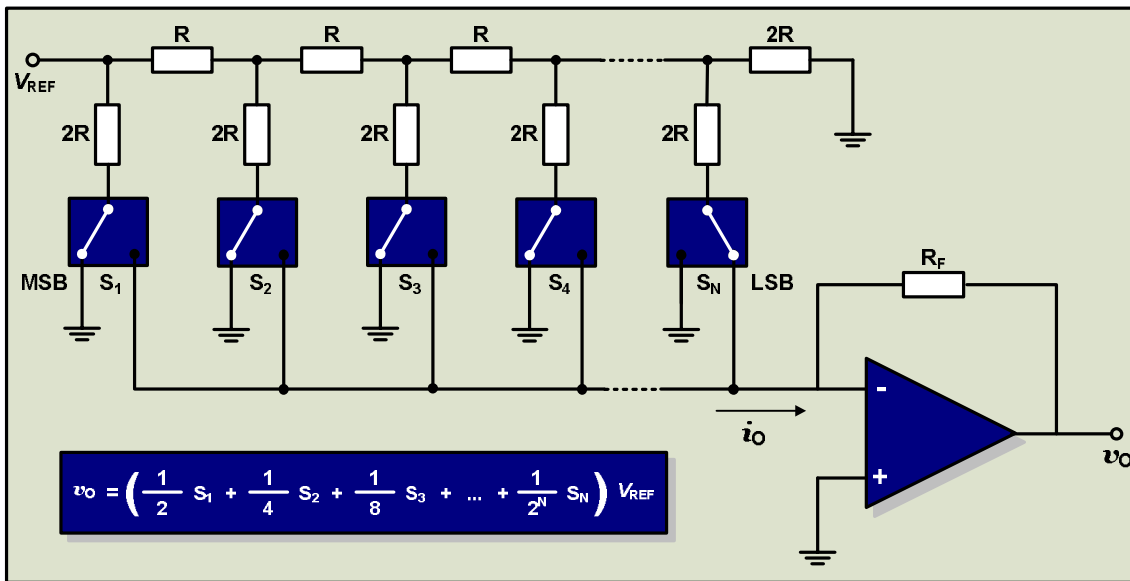


- uso de valores extremamente elevados relativamente às fugas
- uso de valores muito baixos confundem-se com o valor da resistência ON do interruptor.

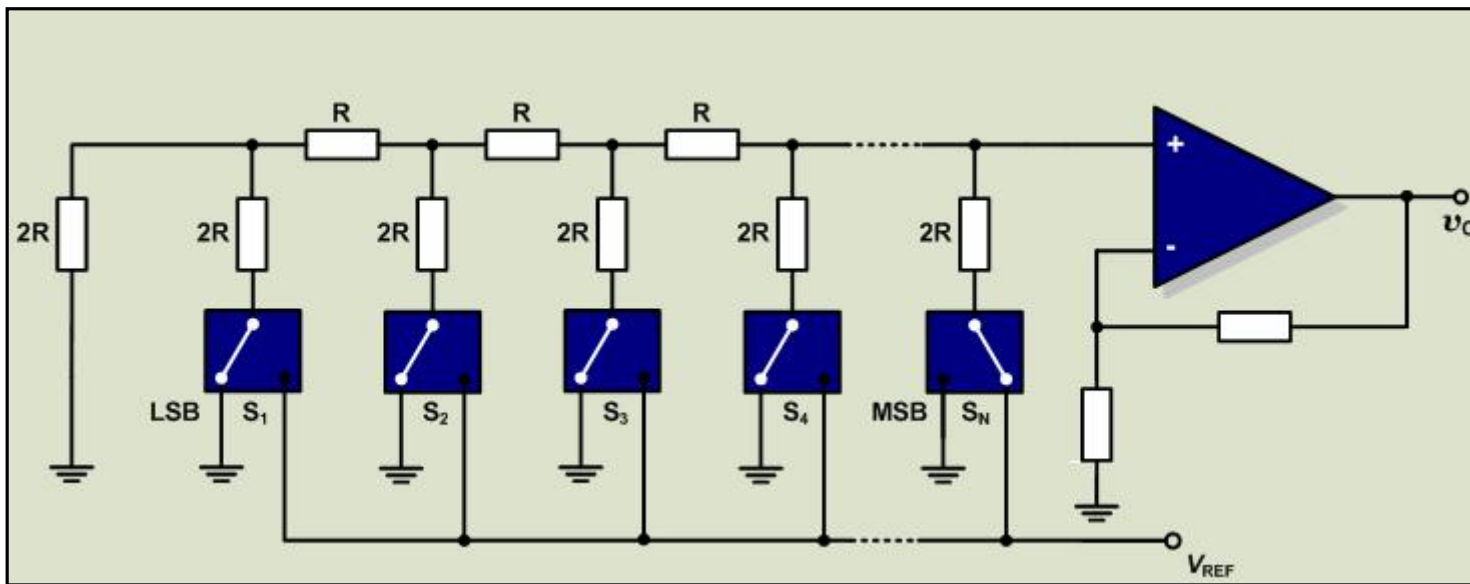
Conversor R-2R

- Utiliza uma rede resistiva com apenas dois valores de resistência (R ou $2R$).
- Permite uma escolha de R que minimiza o problema de fugas e da resistência **ON** do interruptor.
- O seu princípio de funcionamento é semelhante ao anterior.



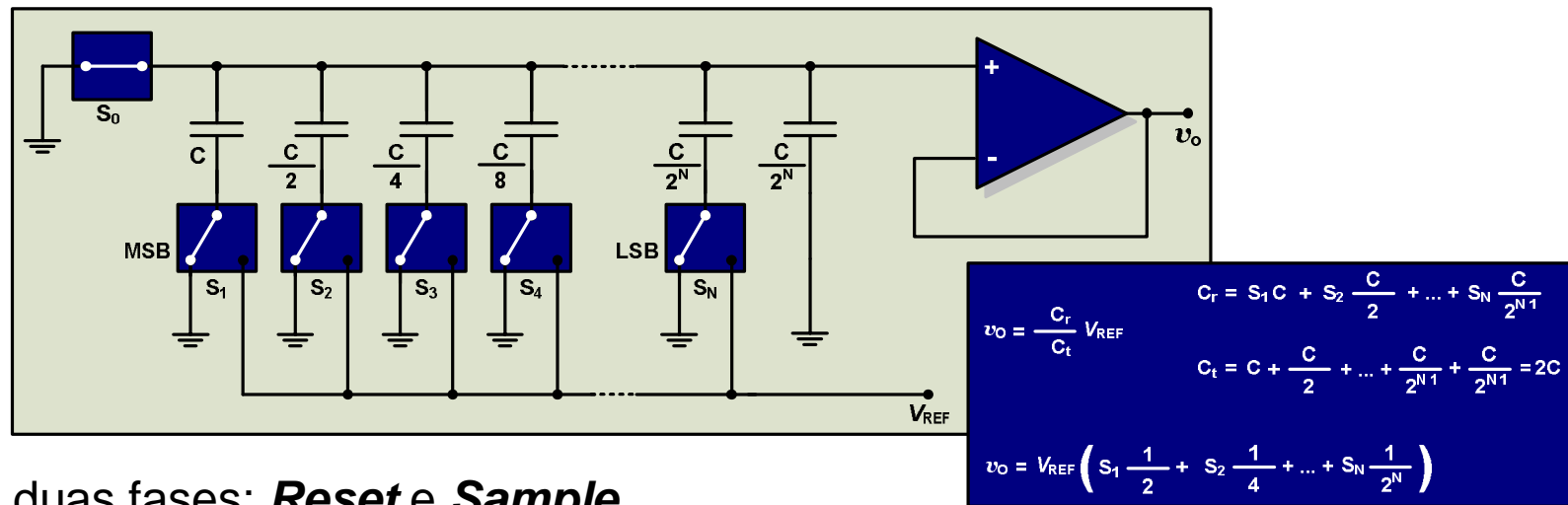


Obter a FT de cada um para conversores de 2 bit!



Conversor de Capacidades Ponderadas

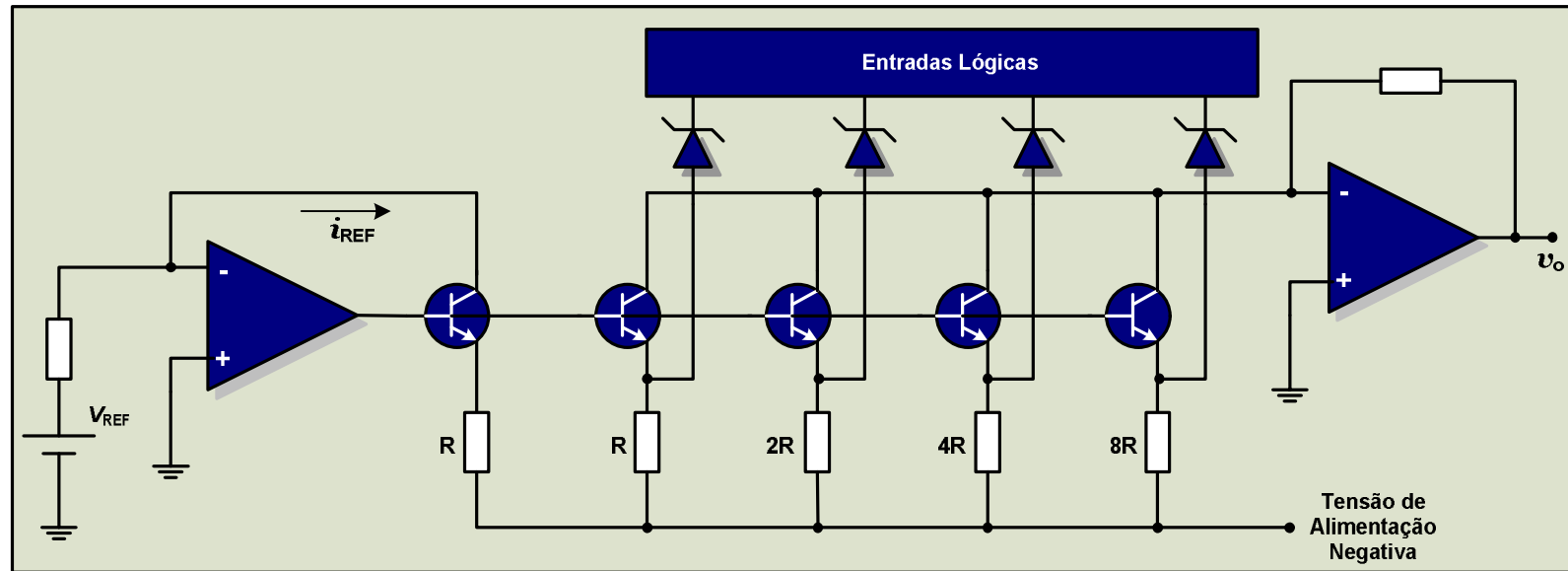
Em *IC's* é mais natural a conversão de dados usando apenas *MOSFET's* e *Condensadores*.



Opera em duas fases: **Reset** e **Sample**

Reset: Todos os interruptores são ligados à massa para garantir a descarga dos condensadores;

Sample: S_0 é aberto enquanto que cada um dos restantes condensadores ou é colocado à massa ou a V_{REF} , dependendo do bit correspondente. Isto resulta numa redistribuição da carga cujo efeito é conduzir a uma saída dependente do código binário de entrada.

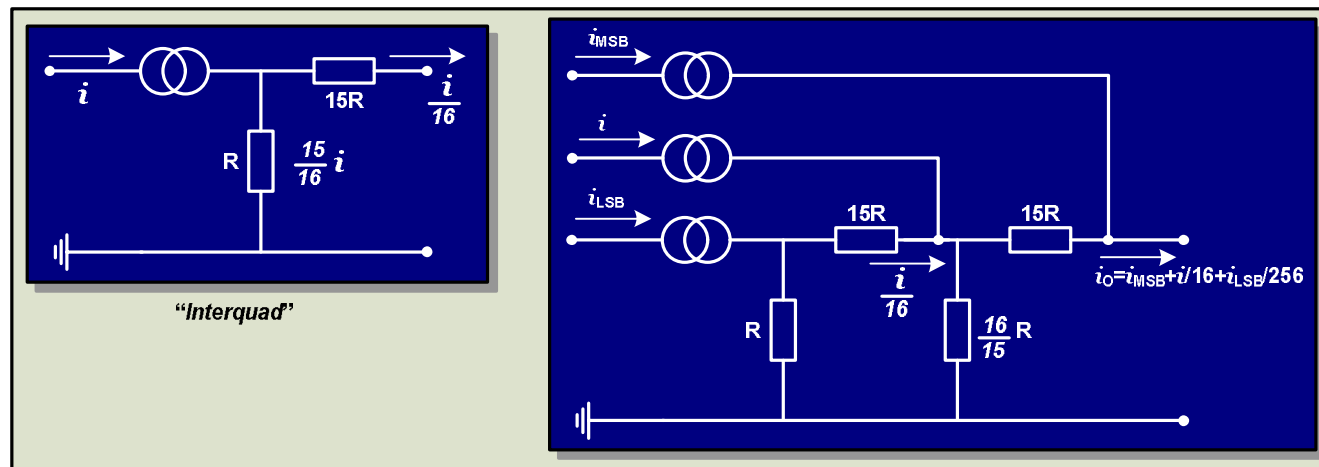
“Quad”

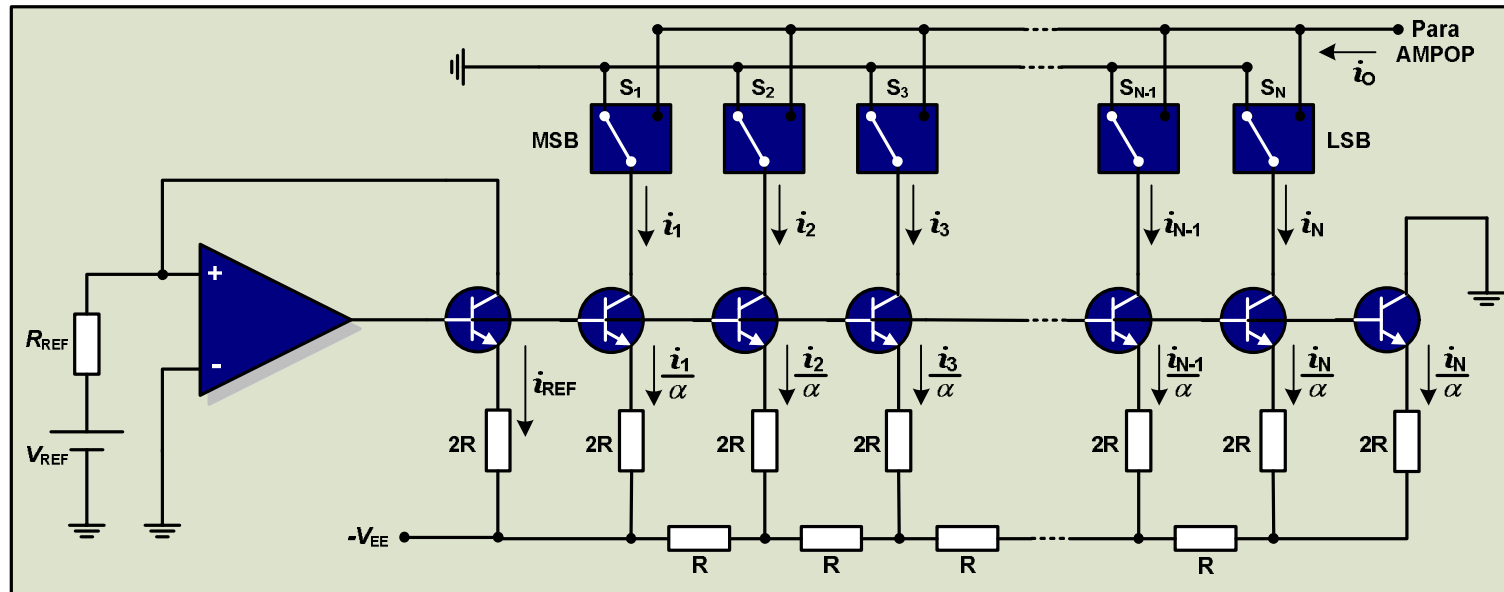
A figura apresenta um **QUAD** (escada resistiva ponderada de 4 *bit*'s). É habitual a associação de diversos **QUAD**'s para aumento de resolução.

Se uma entrada lógica está a **1** então o **Zener** conduz e a tensão emissor do transístor é superior à tensão da base pelo que o transístor está no corte. Se o nível lógico de um *bit* é **0** então o **Zener** está reversamente polarizado e o circuito funciona como se não existisse diodo. Os transístores proporcionam fontes de corrente constantes.

“Quad”

O circuito anterior coloca à sua saída uma corrente que é o resultado da ponderação de cada um dos ramos. No entanto quando se pretende o aumento do número de *bit's* devem--se usar circuitos específicos que efectuem a ponderação de cada **Quad** em função da posição que ocupam. A figura seguinte mostra a associação de 3 **Quad's** por forma a constituir um conversor **D/A** de 12 *bit's*.

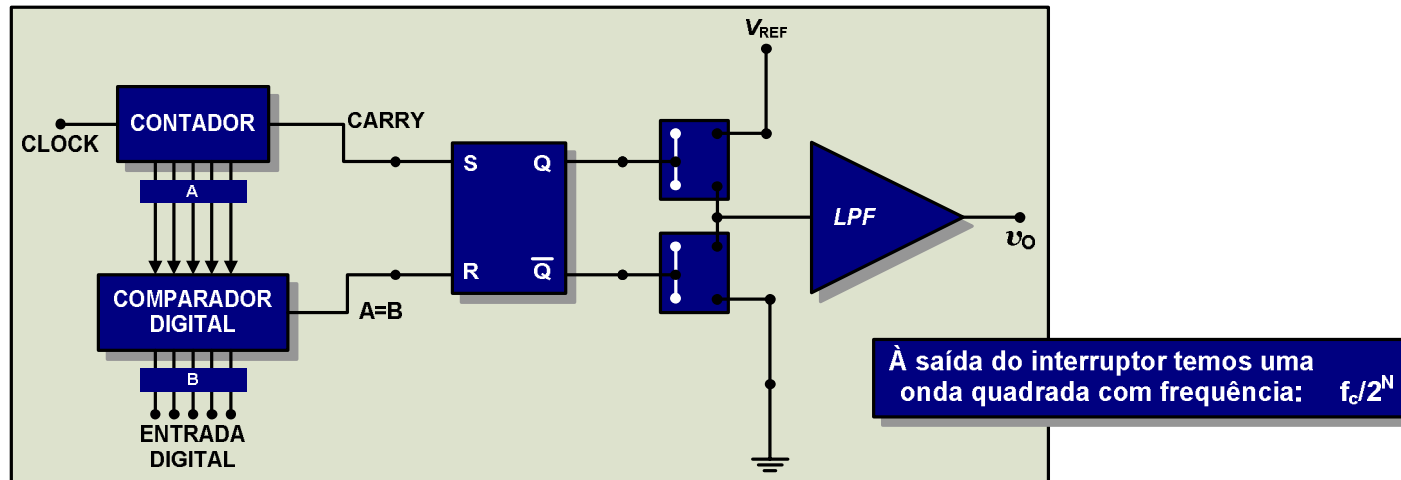


Implementação Prática de um D/A

O circuito anterior utiliza **BJT**'s para gerar correntes pesadas constantes que são alternadas entre a massa e a massa virtual de um **AMPOP** (Somador).

Supondo os transístores como sendo “*matched*”, as tensões V_{BE} serão iguais em todos eles e ainda as correntes serão do tipo $I_1=2I_2=4I_3=...=2^{N-1}I_N$, com $I_1=I_{REF}$.

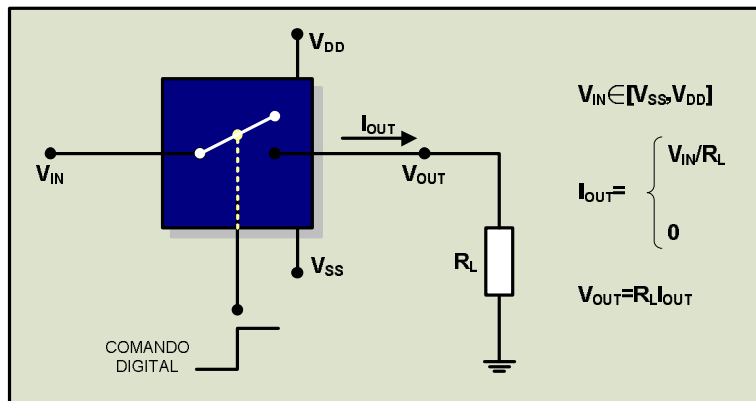
Assim a saída é uma soma pesada das contribuições de cada um dos ramos, os quais se relacionam com a corrente I_{REF} .

Conversor D/A “Timesharing”

O contador é configurado para uma contagem contínua. Quando o contador atinge uma contagem a zeros $Q=1$. Quando o contador iguala o valor digital de entrada a saída do comparador vai a **1** e o flip-flop faz o reset ($Q=0$). O flip-flop faz desta forma o controlo dos interruptores de saída por forma a termos ou V_{REF} ou massa (podendo ser uma tensão negativa). Para obtermos uma saída **d.c.** é necessário colocar à saída um Filtro Passa-Baixo (**LPF**), por este motivo é raramente usado em aplicações de medida.

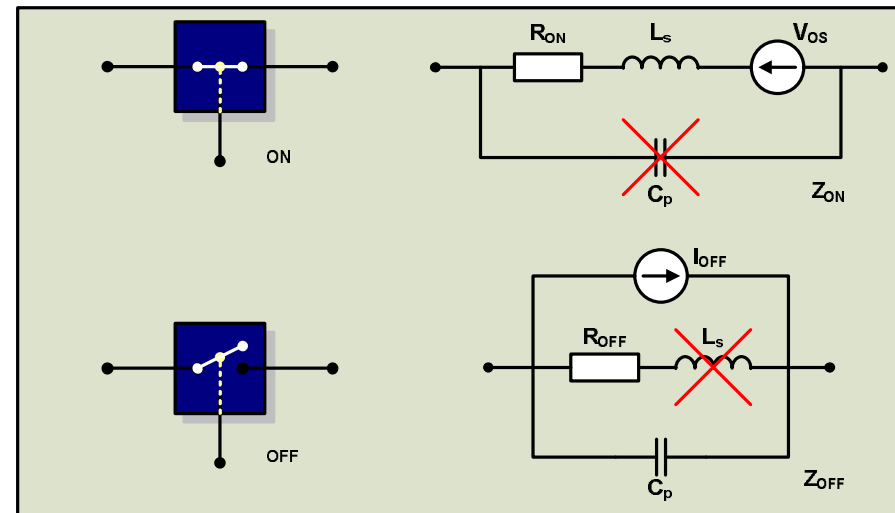
Comutação Analógica

A Comutação Analógica consiste em ligar ou desligar um determinado sinal de dinâmica contínua e conhecida a uma carga através do uso de interruptores normalmente constituídos por transístores bipolares ou de efeito de campo (BJT ou FET) comandados por sinal(is) digital(is).



Na figura:

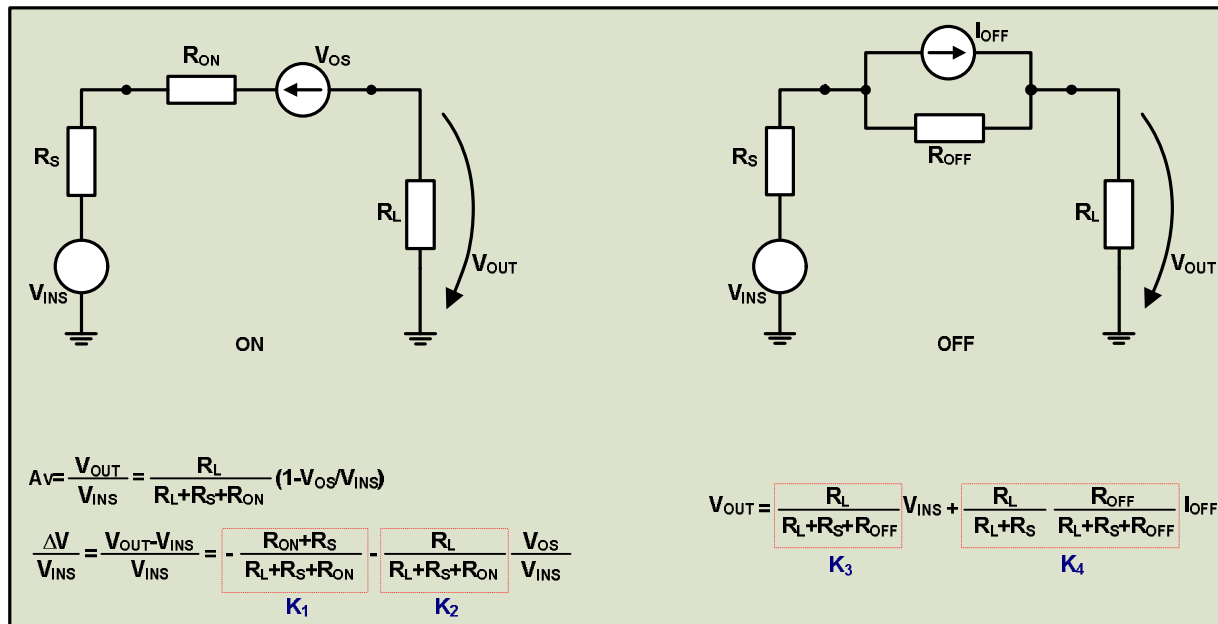
- R_{ON} – Resistência de Condução; I_{OFF} – Corrente de Fugas;
- R_{OFF} – Resistência de Bloqueio; L_s – Indutância Série;
- V_{OS} – Desvio de Tensão; C_p – Capacidade Paralelo;



Pelo facto de não ser ideal ($Z_{ON} \neq 0$, $Z_{OFF} \neq \infty$, $V_{OS} \neq 0$ e $I_{OFF} \neq 0$) um interruptor introduz erros estáticos e dinâmicos.

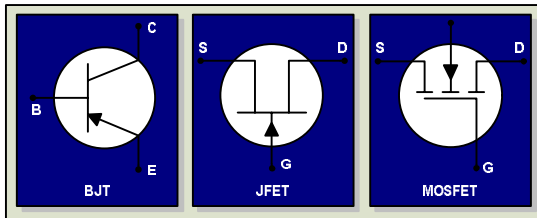
Comutação Analógica : Erros Estáticos e Dinâmicos

Considere-se um interruptor analógico com fonte de sinal e carga.



- No estado ON ao erro de ganho K_1 e ao erro de offset serão acrescidos erros de 2ª ordem resultantes da variação de R_{ON} em função de V_{IN} .

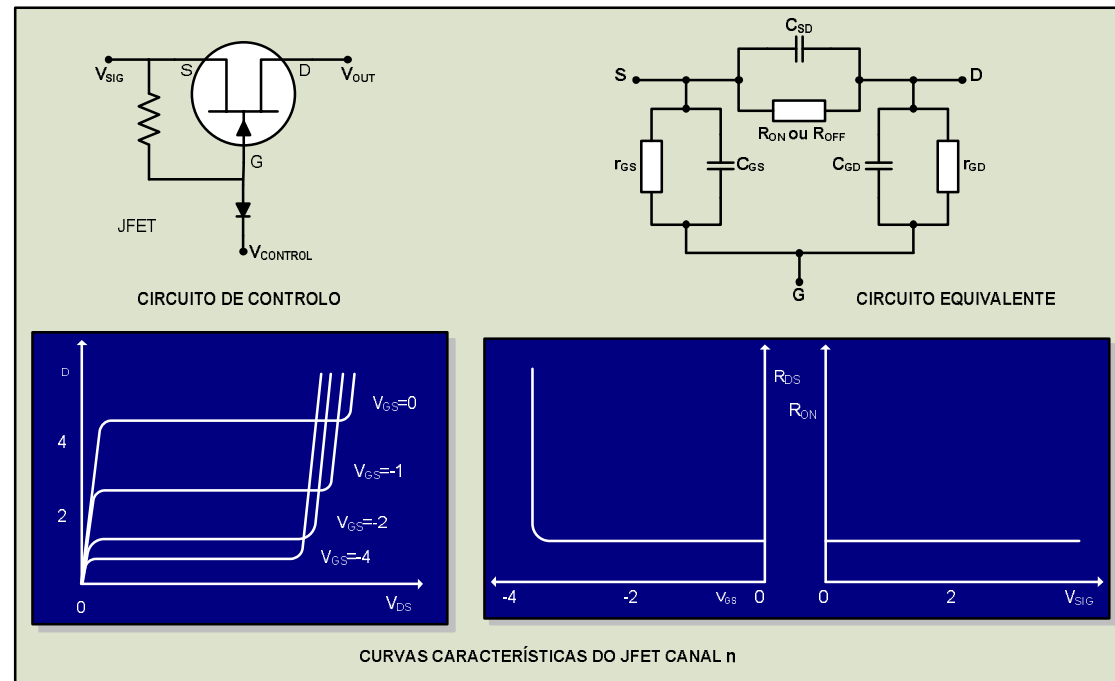
- Capacidades internas e parasitas, à massa, alteram as impedâncias a altas frequências (*INPUT & OUTPUT CAPACITANCES*);
- Acoplamento capacitivo e resistivo do sinal de comando (*CROSSTALK CONTROL INPUT TO OUTPUT*);
- Acoplamento capacitivo e resistivo dos sinais de outros interruptores vizinhos (*CROSSTALK TO ADJACENT CHANNEL*);



Tipos de interruptores analógicos:

Os FET's são os transístores mais usados na comutação analógica pelo facto de não introduzirem offset. No estado ON a queda de tensão aos seus terminais é muito baixa. Por outro lado a resistência de condução é constante, ou seja não depende do valor do sinal.

- Quando V_{GS} é zero a corrente i_D é elevada e a resistência R_{ON} (R_{DS}) é baixa;
- A resistência R_{ON} é independente de V_{SIG} ; O seu valor é da ordem das dezenas de ohm's (canal n);
- Se a tensão de controlo é zero ou positiva o interruptor está ON;



- Quando a tensão é negativa a *gate* fica negativa e o interruptor está OFF. Nesta situação o valor da resistência RDS (ROFF) é elevado;

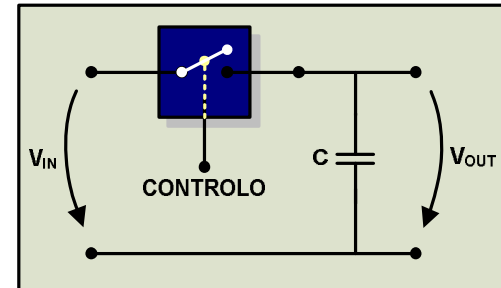
- O díodo impede que a tensão de controlo faça com que a *gate* seja positiva em relação à *source*;

Sample & Hold: Função e Aplicação

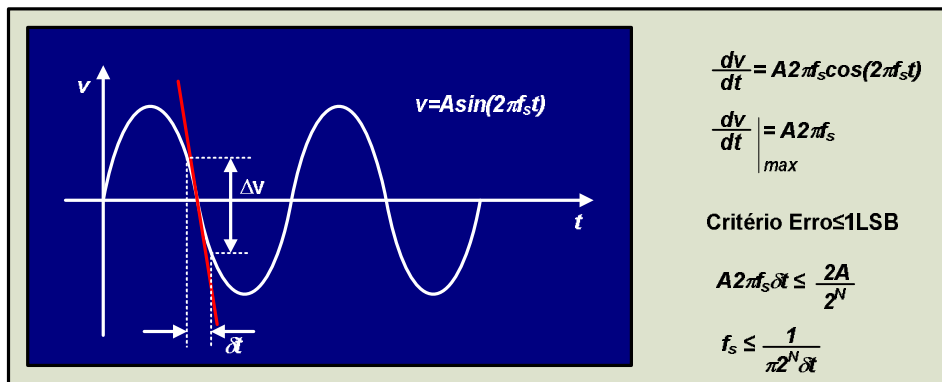
O circuito de **S&H** não é mais que uma associação de um interruptor analógico com um circuito adicional de manutenção do valor de tensão amostrado.

Os circuitos de **S&H** podem ser utilizados em:

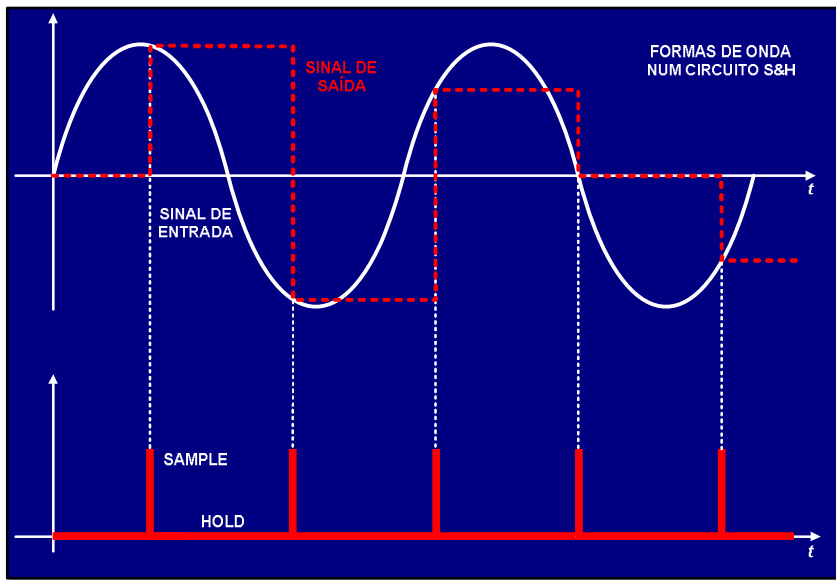
- Retenção do sinal de entrada de um A/D;
- Permitir a amostragem simultânea de sinais;
- Remoção de *glitches* da saída de um D/A;
- Desmultiplexagem da saída de D/A;
- Retém o sinal na entrada do A/D durante o processo de comutação de um Mux;



A representação da amplitude de um sinal num dado instante específico requer que a magnitude do sinal não varie mais do que 1 LSB

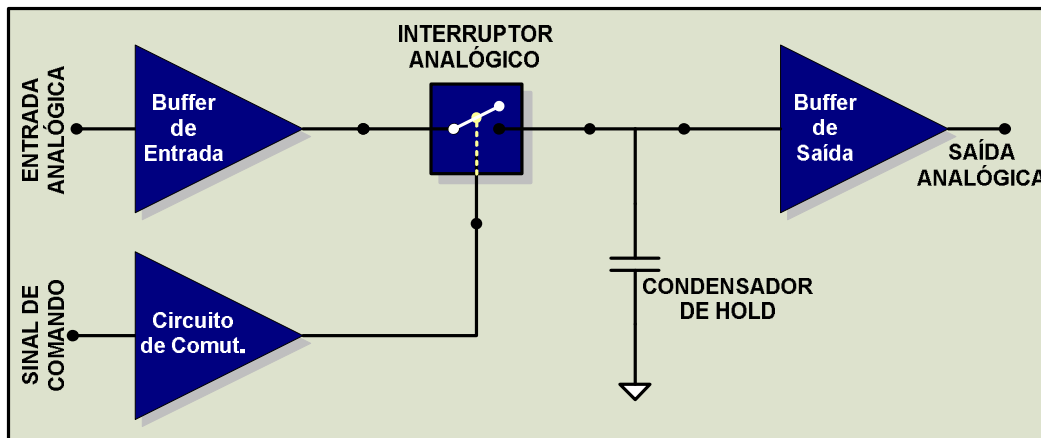


Caso esta condição não seja seguida a variação da tensão de entrada durante o tempo de conversão (dt , que pode ser o tempo de abertura) é designada por **erro de incerteza de abertura na amplitude.**



Apesar de existirem diversos tipos de circuitos **S&H**, todos eles possuem 4 componentes básicas:

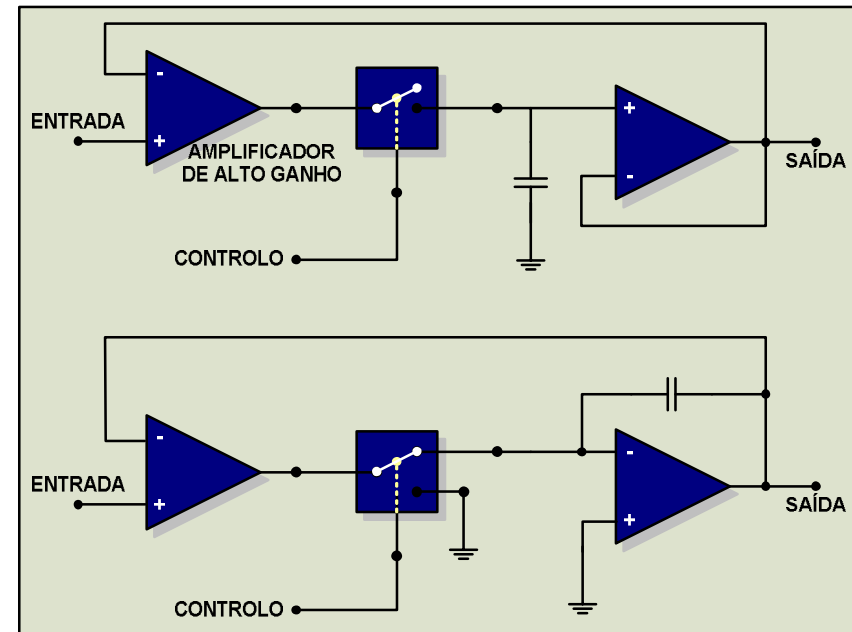
1. Amplificador de entrada;
2. Dispositivo de armazenamento de energia;
3. Amplificador de saída;
4. Circuito de comutação;



As arquitecturas de malha aberta têm a vantagem da rapidez . O circuito inicial tem a desvantagem de o condensador funcionar como carga dinâmica à fonte (Efeito de Carga).

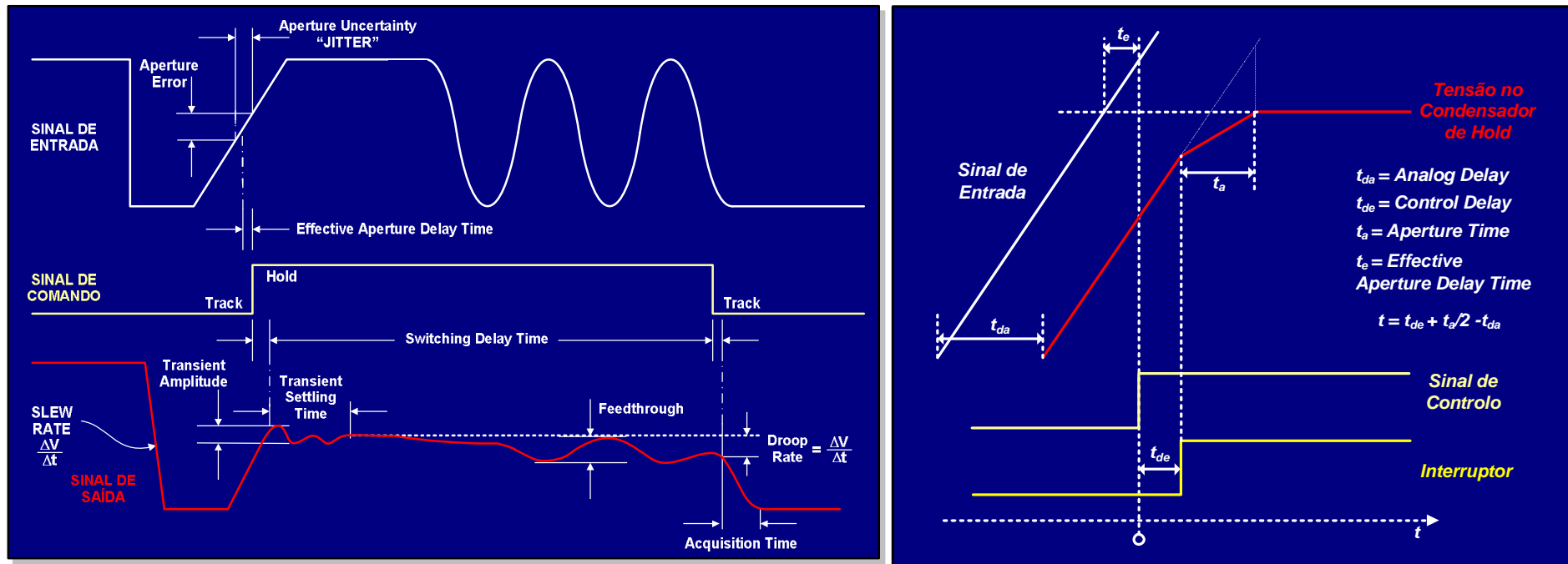
Sample & Hold: Arquitecturas Típicas

As arquitecturas de **malha fechada** apresentam boa precisão, ganho flexível e baixo *drift*, no entanto o tempo de aquisição e o tempo de estabelecimento são piorados. O segundo circuito usa uma configuração integradora, permitindo o interruptor a operar à massa, melhorando o problema de fuga.



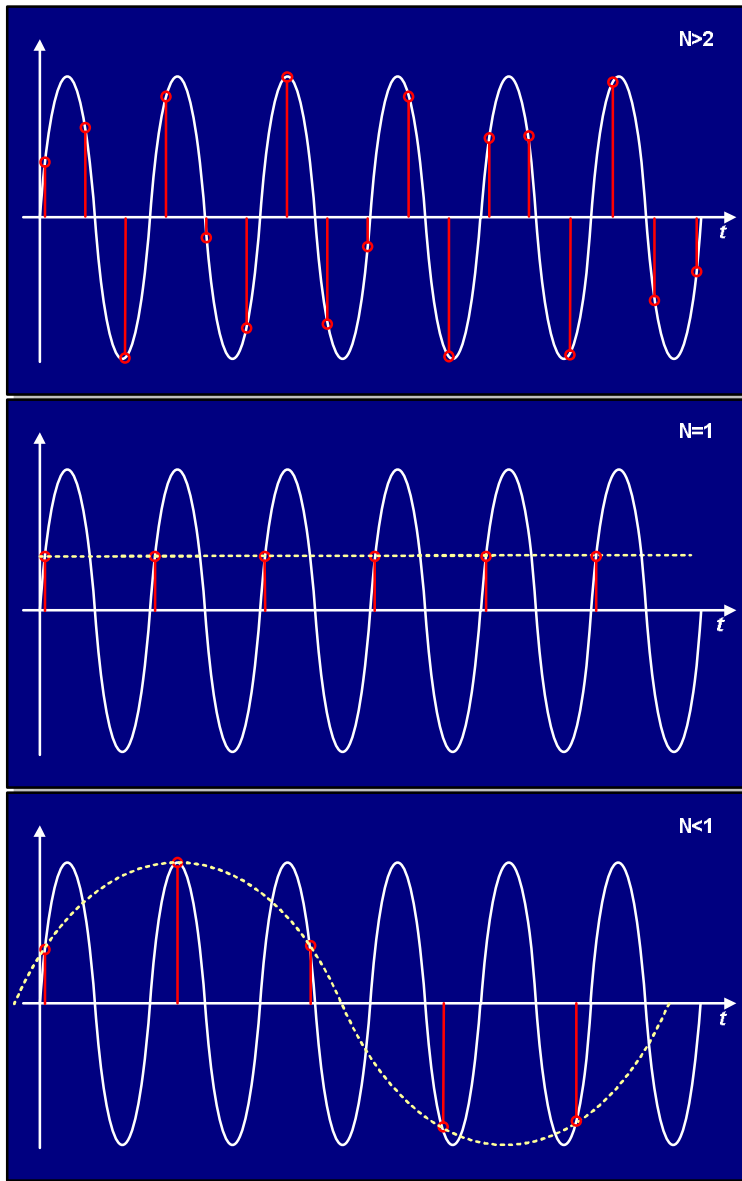
Sample & Hold: Especificações

• **Aperture Time** – O tempo de abertura é uma das principais propriedades dinâmicas de um S&H e representa a capacidade de o condensador de ***HOLD*** se desligar da entrada. O tempo necessário à acção é designado por **tempo de abertura**.



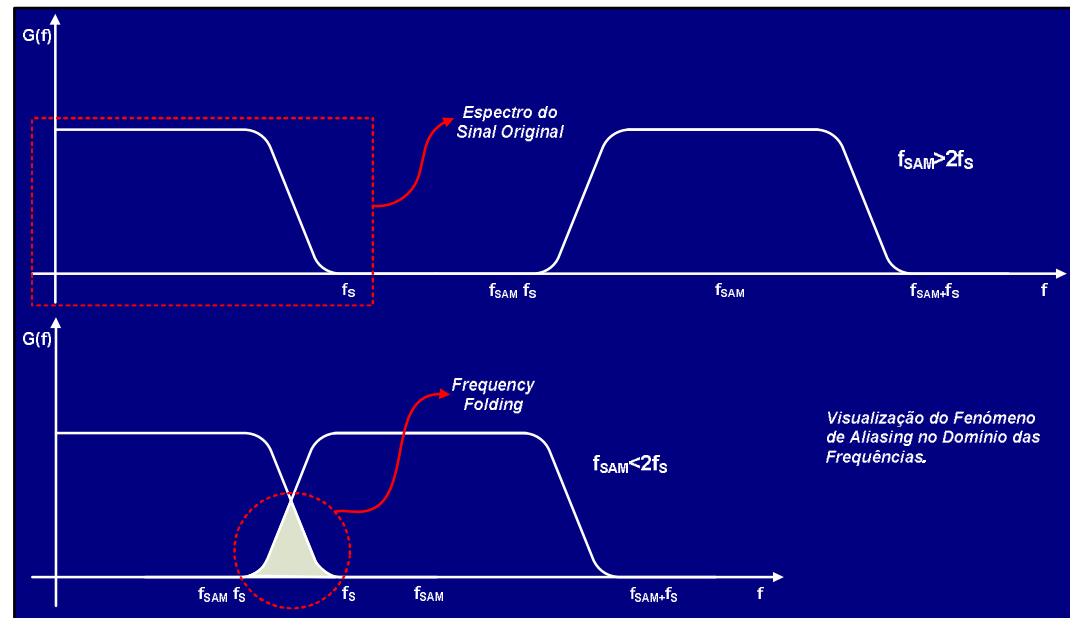
Effective Aperture Delay Time – É visto como o intervalo de tempo visto entre o instante em que é dada a ordem de **HOLD** e o instante em que o sinal de entrada atinge o valor guardado no condensador. Inclui os efeitos dos atrasos de propagação e o tempo de abertura.

Acquisition Time – O tempo de aquisição é visto como o intervalo necessário para que o **S&H** deve permanecer no modo **SAMPLE** por forma a que o condensador adquira um degrau de entrada em *full-scale*.



Sample & Hold: Aliasing

O fenómeno de *aliasing* pode ser visto no domínio dos tempos da seguinte forma:



Conversores Analógico-Digital: “Classificação”

Podemos classificar os conversores **A/D (ADC)** de duas formas:

1 – Integradores ou Não Integradores;

2 – Com ou Sem utilização de **DAC's (D/A)**;

De acordo com a classificação **1** e **2** podemos distribuir da seguinte forma os conversores:

Integradores

- **Rampa (Simples, Dupla e Tripla);**
- **Sigma-Delta (S-D);**

Com DAC's

- **Contador (Up, Up-Down);**
- **Aproximações Sucessivas;**
- **Redistribuição de Carga;**
- **Sigma-Delta (S-D);**

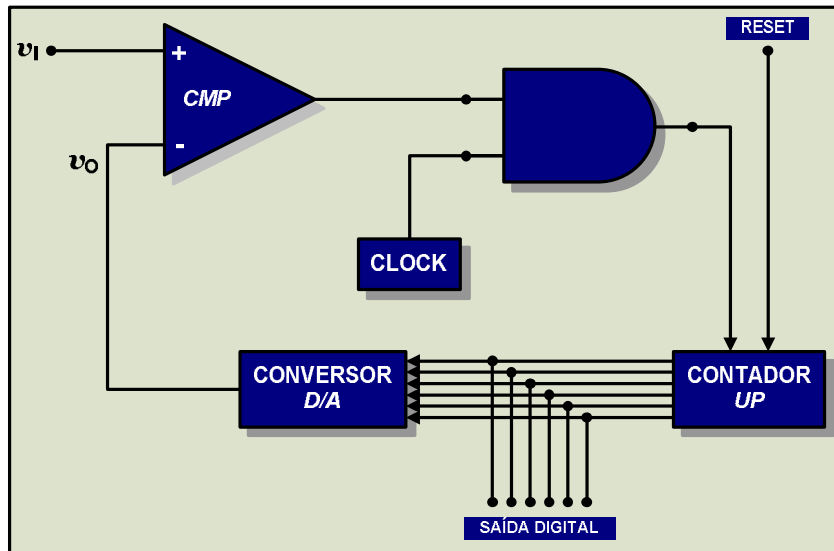
Não Integradores

- **Contador (Up, Up-Down);**
- **Flash ou Paralelo;**
- **Aproximações Sucessivas;**
- **Redistribuição de Carga;**

Sem DAC's

- **Flash ou Paralelo;**
- **Rampa (Simples, Dupla e Tripla);**

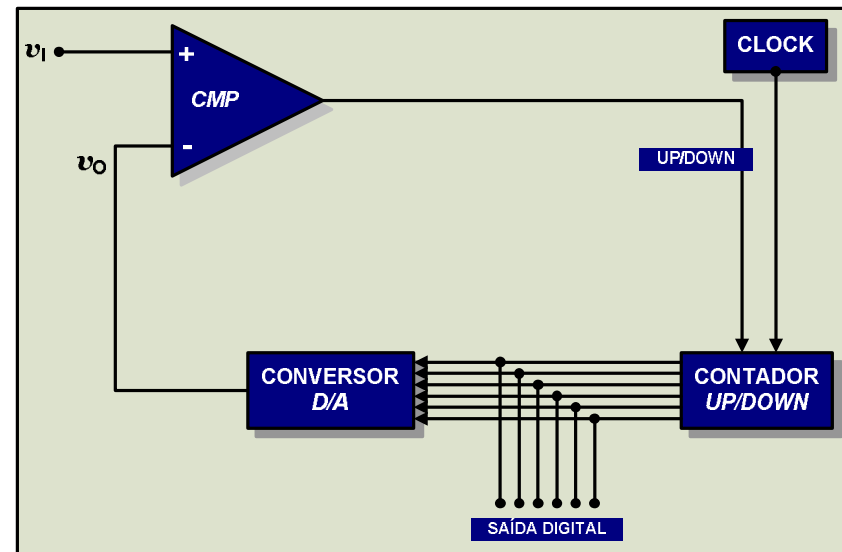
Conversores Analógico-Digital: Contador



Conversor A/D contador (UP).

- Simplicidade;
- Precisão compatível elevada;
- Pode ser mais rápido que o anterior;
- Tempo de conversão depende da amplitude de v_i ;

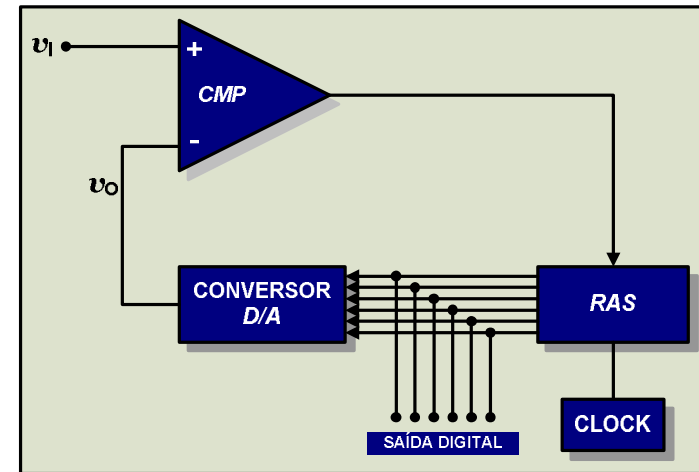
- Simplicidade;
- Precisão compatível elevada;
- Lentidão;
- Tempo de conversão depende da amplitude de v_i ;



Conversor A/D contador (UP/DOWN, *Tracking*).

Conversores Analógico-Digital: Aproximações Sucessivas

A técnica de conversão, algo semelhante às anteriores, consiste numa comparação da tensão de entrada com uma tensão gerada pelo conversor *D/A* resultante de um código binário do *RAS* (Registo de Aproximações Sucessivas). Quando é dado início a uma conversão o *MSB* do *RAS* é colocado a *1* (1/2 do valor fim-de-escala do *D/A*). A tensão então gerada pelo *D/A* é comparada com a tensão de entrada.



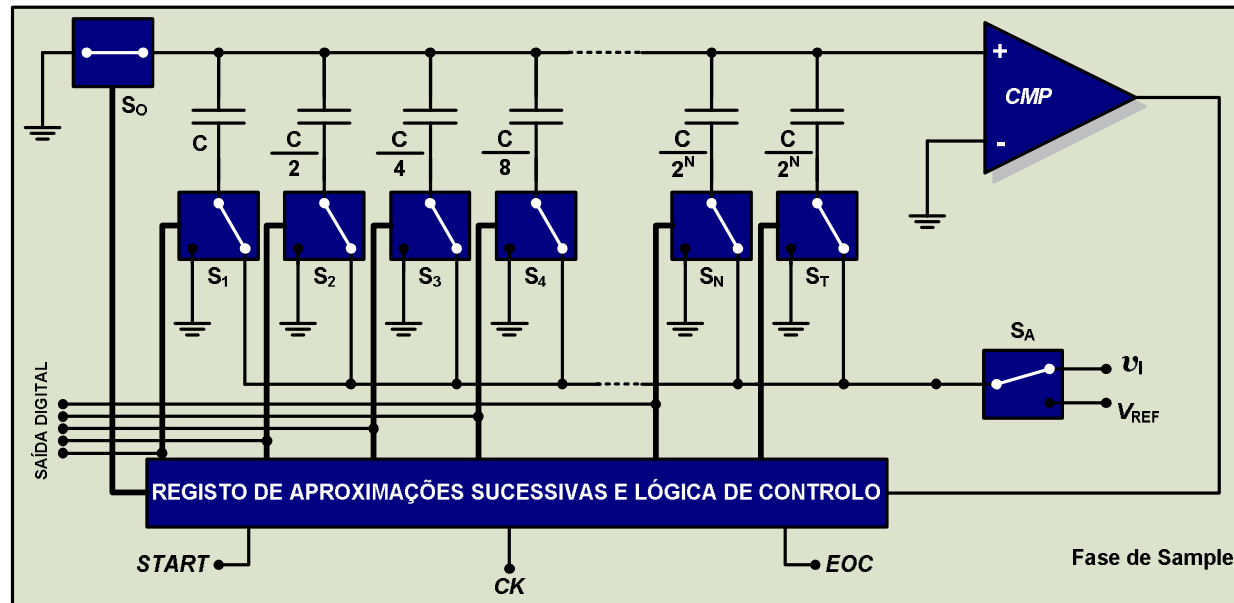
Conversor A/D de aproximações sucessivas.

Se a entrada apresenta um valor superior então o *MSB* é mantido a *1* e é também colocado a *1* o *bit* seguinte (1/4 do valor fim-de-escala) sendo feito um novo teste com este *bit*. Se a entrada é inferior então o *MSB* é colocado a *0* e o *bit* seguinte é testado. Este processo é repetido até terem sido encontrados todos os *bit*'s.

Características principais:

- Usados para interface a computadores;
- Elevada resolução (cerca dos 16 bit's);
- Alta velocidade (1 MHz, não depende da amplitude do sinal de entrada);

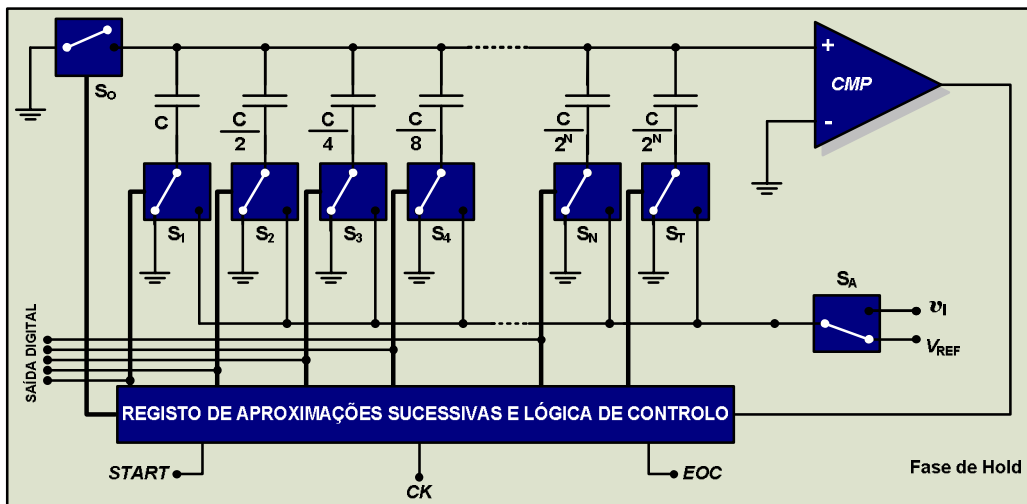
Conversores Analógico-Digital: Redistribuição de Carga



Conversor A/D de redistribuição de carga, fase de *sample*.

Este conversor executa uma conversão de aproximação sucessiva usando um conversor D/A baseado numa escada capacitiva ponderada. A conversão envolve três fases distintas: **Sample** (Amostragem), **Hold** (Retenção) e **Redistribution** (Redistribuição de Carga).

Na fase de **Sample** os interruptores são combinados por forma a colocar todos os condensadores com a tensão v_I (S_0 massa, S_1, \dots, S_T ligados à linha e S_A a v_I).



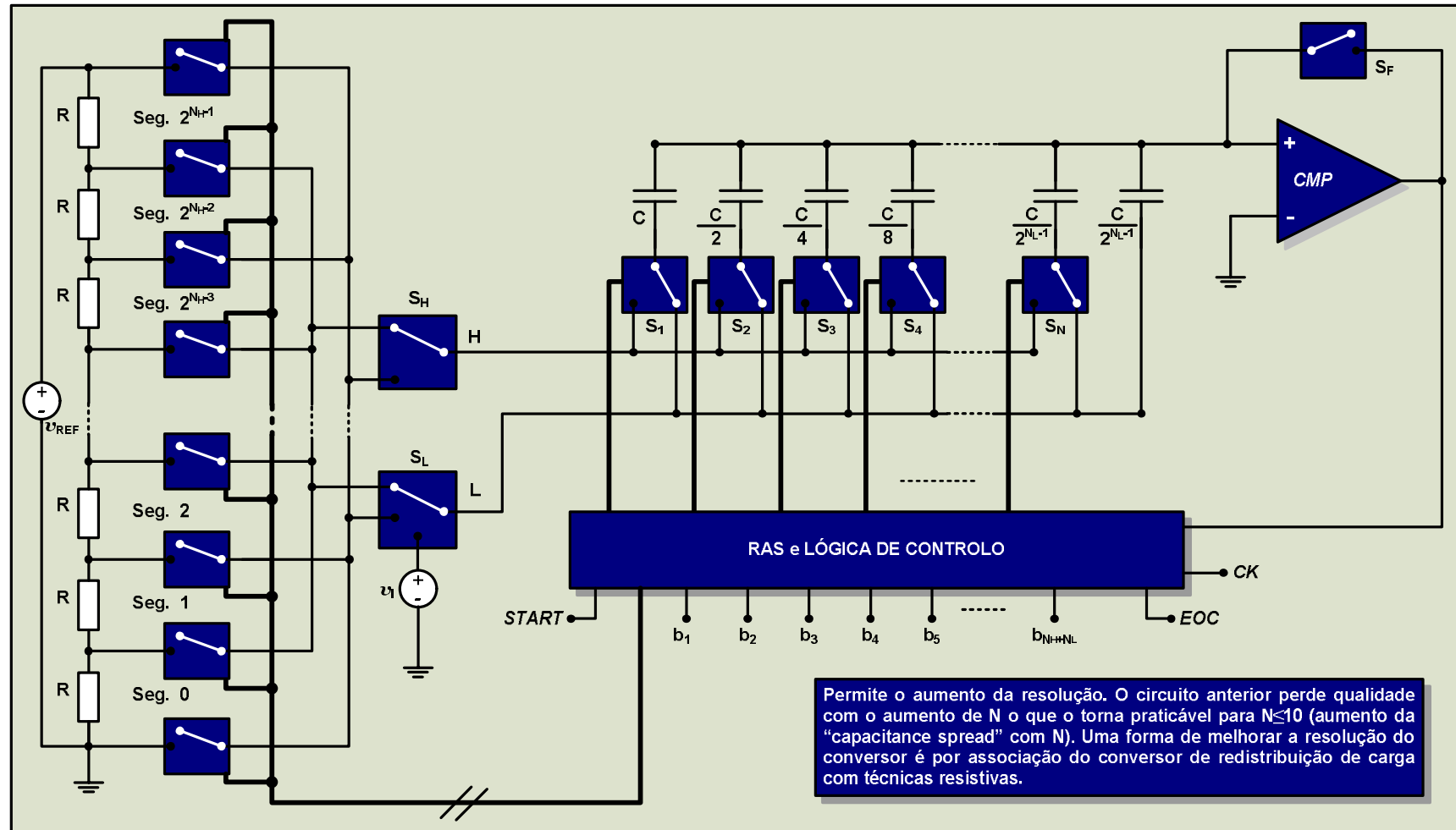
Conversor A/D de redistribuição de carga, fase de *hold*.

Na fase de **Hold** o interruptor S_0 é aberto e os interruptores S_1, \dots, S_T são comutados para a massa provocando uma inversão da tensão aos terminais dos condensadores ($-v_I$). Desta forma na entrada não inversora do comparador (v_p) teremos a tensão $-v_I$.

Durante a fase de **Redistribuição** S_0 é mantido em aberto, S_A é comutado para V_{REF} e os interruptores S_1, \dots, S_T são sequencialmente comutados para V_{REF} (e possivelmente novamente para massa) por forma a encontrar por aproximação sucessiva o código desejado. A comutação de cada interruptor vai provocar um acréscimo de v_p de $V_{REF}2^{-k}$. Se este aumento provocar a alteração do comparador então esse interruptor volta à massa caso contrário mantém o estado. O processo será repetido até ser encontrado o último *bit*.

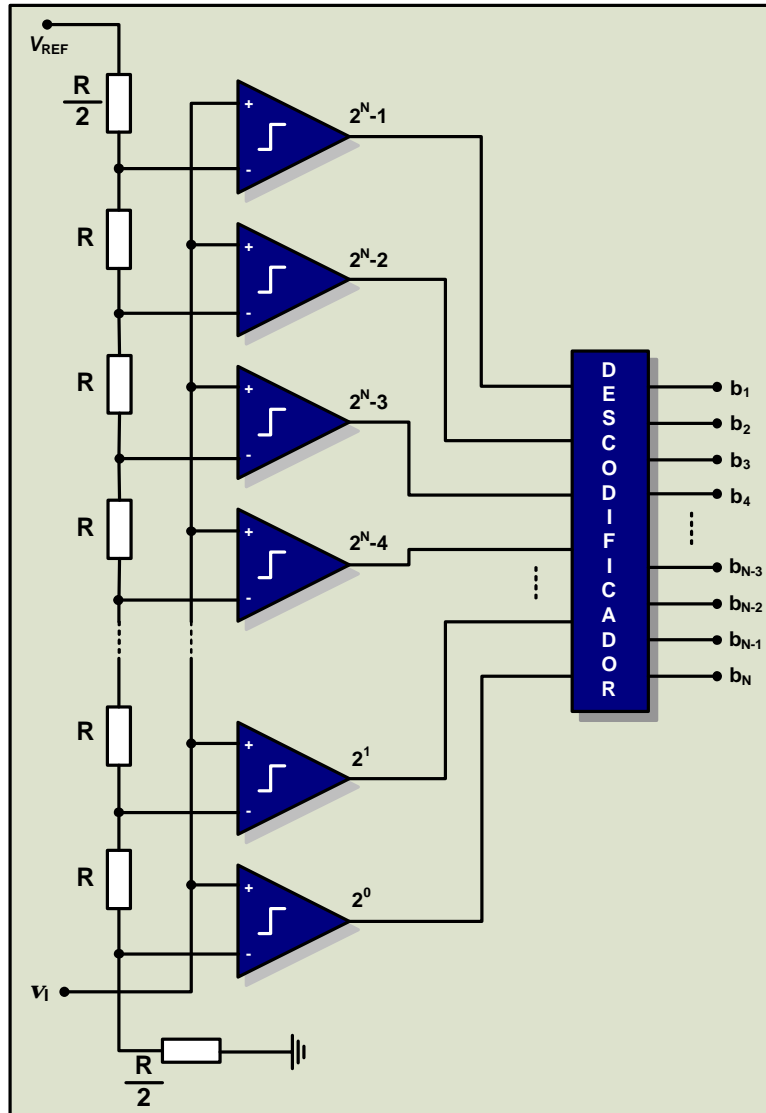
Conversores Analógico-Digital: Redistribuição de Carga Modificado

Conversor A/D de redistribuição de carga modificado.



Permite o aumento da resolução. O circuito anterior perde qualidade com o aumento de N o que o torna praticável para $N \leq 10$ (aumento da "capacitance spread" com N). Uma forma de melhorar a resolução do conversor é por associação do conversor de redistribuição de carga com técnicas resistivas.

Conversores Analógico-Digital "Flash" ou Paralelo



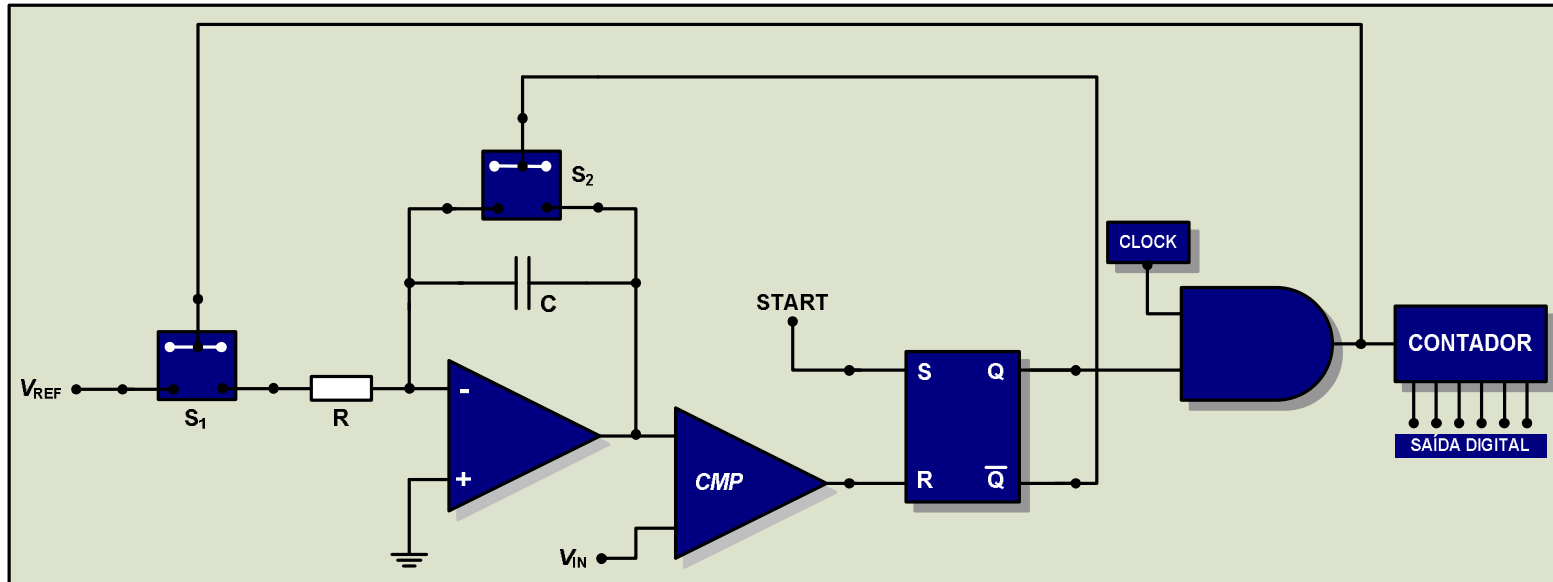
- Consiste em criar $2^N - 1$ níveis distintos de referência separados entre si por **1 LSB**.
- Níveis criados por intermédio de uma rede resistiva, que são comparados com o sinal de entrada v_i .
- O resultado da comparação é convertido pelo decodificador num código binário adequado.

O conversor **Flash** ou Paralelo é usado em aplicações de alta velocidade, podendo atingir taxas de conversão na ordem dos **Msp**s.

Devido à arquitectura requerida torna-se impraticável para aplicações de elevada resolução. Por exemplo um conversor de 8 *bit*'s necessita de 255 comparadores ($2^N - 1$).

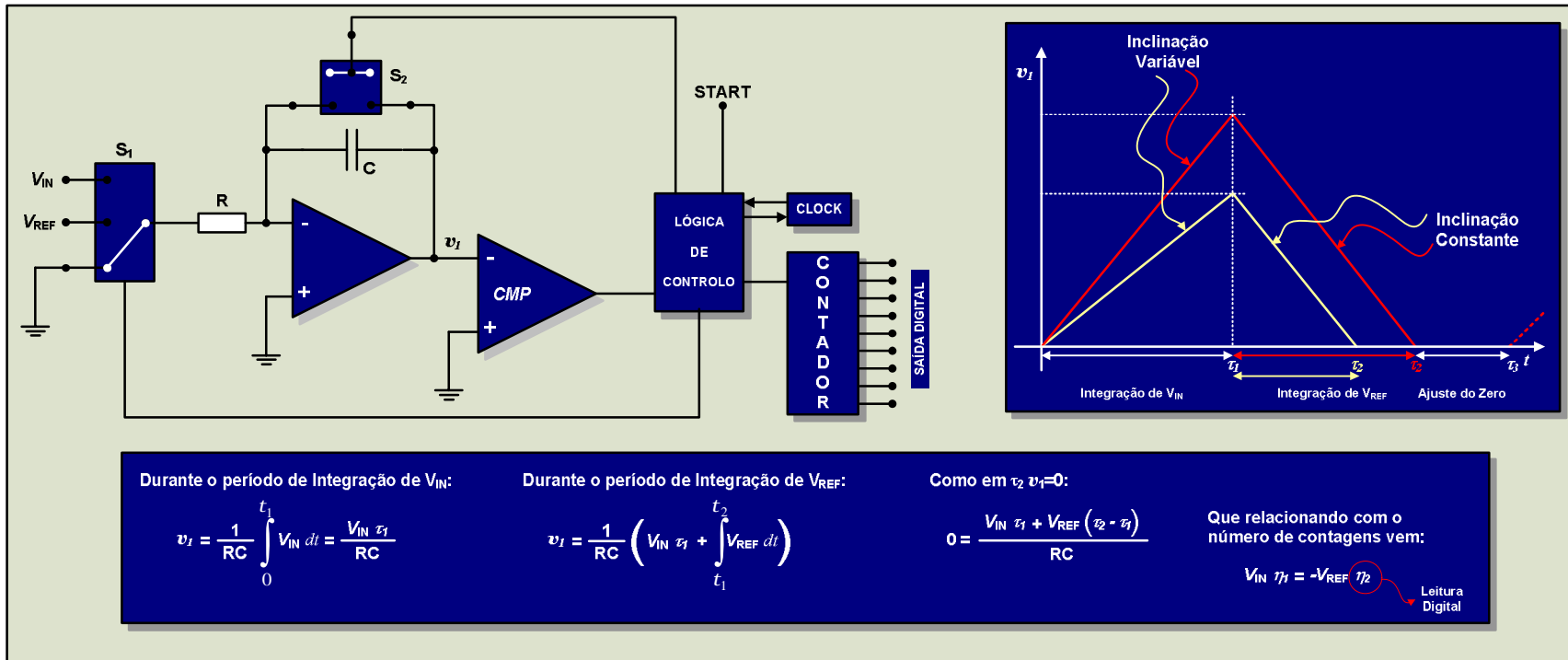
Este tipo de conversores surge geralmente para resoluções de 6, 8 e 10 *bit*'s, taxas de conversão que podem ir das dezenas às centenas de **Msp**s, dependendo da resolução.

Conversores Analógico-Digital Rampa Simples



- É feita uma amostragem do sinal de referência o qual é integrado.
- A integração do sinal V_{REF} é depois comparada com a tensão do sinal de entrada.
- Durante o período de tempo em que V_{IN} seja superior à integração de V_{REF} o contador conta.
- Assim que o resultado da comparação seja alterado o contador pára a contagem.

Conversores Analógico-Digital Dupla Rampa



- 1- Interruptor S_1 é colocado em V_{IN} para integração (tempo de contagem constante);
- 2- Interruptor S_1 é colocado em V_{REF} para “desintegração” (V_{REF} com polaridade contrária a V_{IN}). Durante este período é feita uma contagem (duração dependente de V_{IN});
- 3- Período de ajuste do zero. S_1 é colocado à massa e S_2 é fechado;

Conversores Analógico-Digital: Tripla Rampa

Resulta de pequenas alterações ao de dupla rampa por forma a reduzir os erros introduzidos pelos atrasos do comparador e absorção do dieléctrico.

A fase de integração é igual ao de dupla rampa e dura t_1 . A fase de “desintegração” é dividida em duas partes:

1- A tensão V_{REF1} é aplicada. Esta é geralmente maior do que a usada pelo conversor de dupla rampa por forma a garantir que a carga é retirada do condensador tão rapidamente quanto possível. Esta fase dura o tempo t_2 , até que v_1 atinja V_{REF}/k ,

2- Quando este nível for detectado a tensão de referência é reduzida de V_{REF1} para $V_{REF2}=V_{REF1}/k$ e a frequência do *clock* aplicado ao contador é reduzida na mesma razão (num conversor de 12 *bit*'s a mudança pode ocorrer após 6 *bit*'s o que faria $k=64$ ou no caso de 8 *bit*'s $k=256$). Quando o comparador detectar uma passagem por zero, v_1 está a ser alterado lentamente e o tempo de passagem por zero pode ser determinado com precisão. O tempo necessário para esta tarefa é t_3 .

Da mesma forma que no caso anterior temos: $0 = \frac{V_{IN} t_1 + V_{REF1} t_2 + V_{REF2} t_3}{RC}$

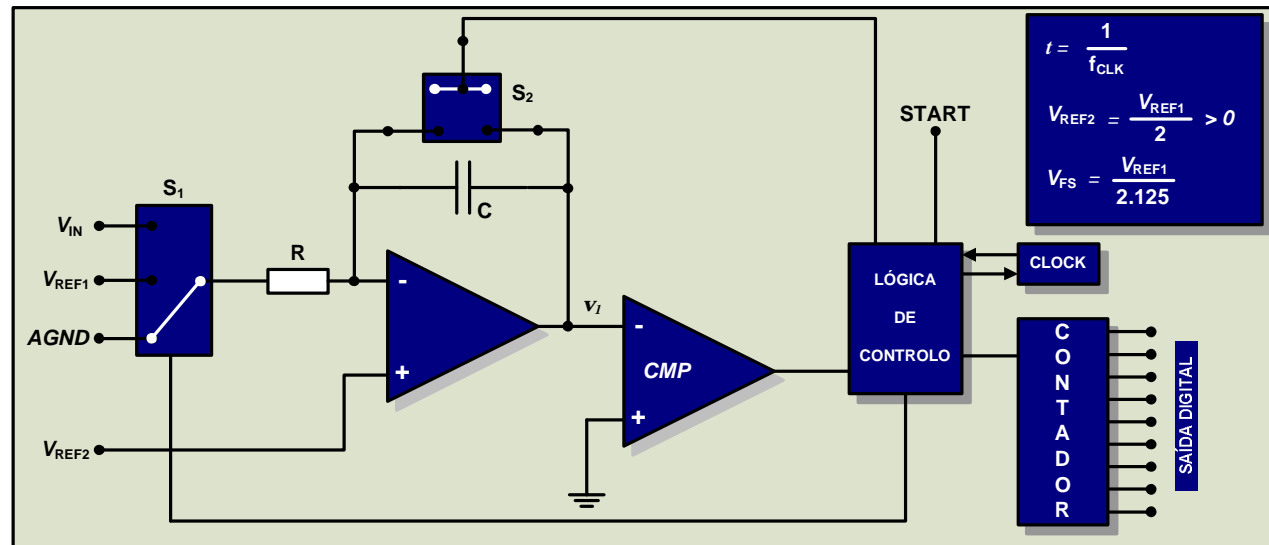
Com, $V_{REF2}=V_{REF1}/k$

$t_1 = \eta_1/fc$
 $t_2 = \eta_2/fc$
 $t_3 = \eta_3k/fc$

$\rightarrow V_{IN} = \frac{-V_{REF} (\eta_2 + \eta_3)}{\eta_1}$

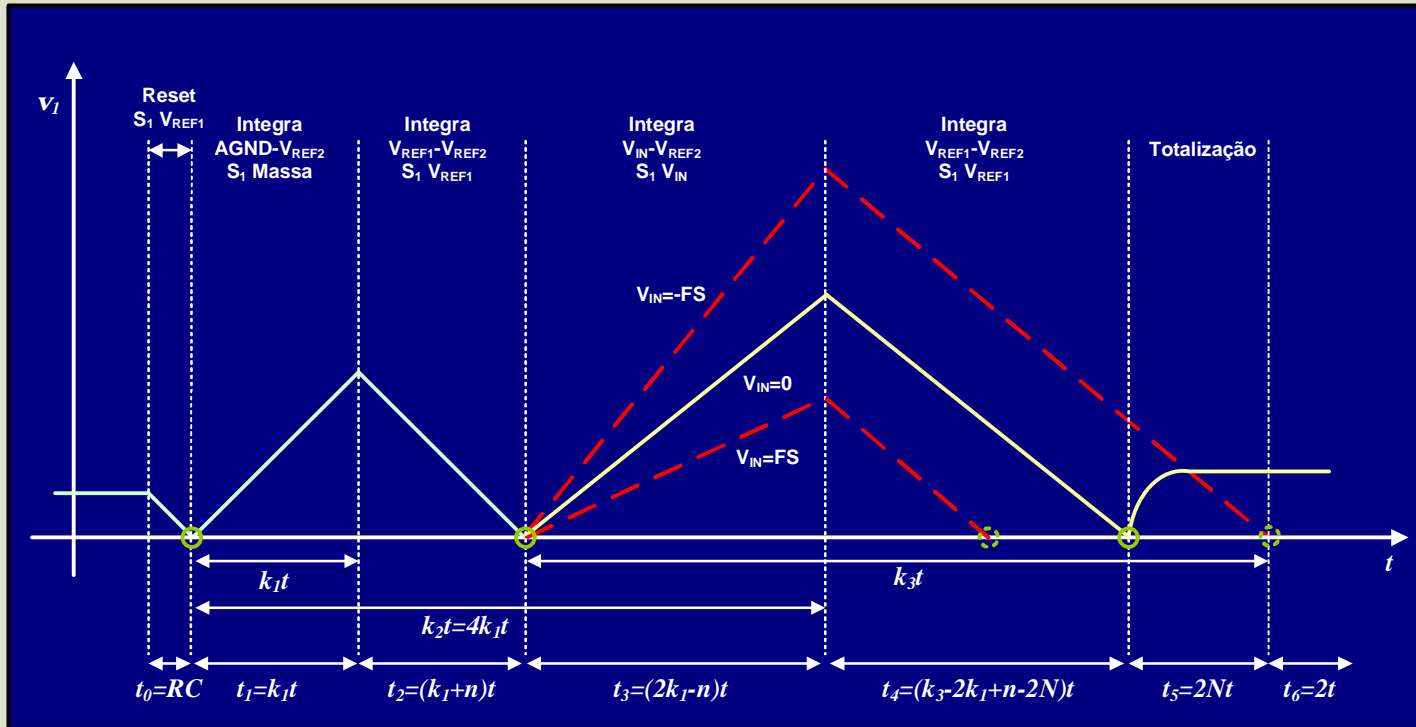
Conversores Analógico-Digital: “Quad Slope”

A técnica **Triple Slope** (rampa tripla) não é frequentemente usada em conversores **A/D**. Contudo o seu princípio de funcionamento é usado pelos conversores **MULTISLOPE**, com a finalidade de se obterem medidas de elevada precisão (no entanto lentos). O exemplo que se segue é designado por “**Quad Slope**” (rampa quadrúpla).



k_1, k_2 e k_3 são os valores máximos de contagem de 3 contadores, com $k_1=4352$, $k_2=17408$ e $k_3=25600$

N – Contagem final correspondente à conversão de V_{IN}



A contagem final corresponde a:

$$N = \left(\frac{V_{IN}}{V_{REF1}} - 1 \right) 2k_1 + \frac{k_3}{2} + \left(\frac{V_{IN}}{V_{REF1}} - 1 \right) \left[\frac{AGND}{V_{REF1}} (1 + 2\alpha) - \alpha^2 \right] 2k_1 \quad \alpha = \frac{2V_{REF2} - V_{REF1}}{V_{REF1}}$$

Contagem sem Erros
Termo de Erros (AGND \neq 0, $V_{REF2} \neq V_{REF1}/2$ "offset" ...)

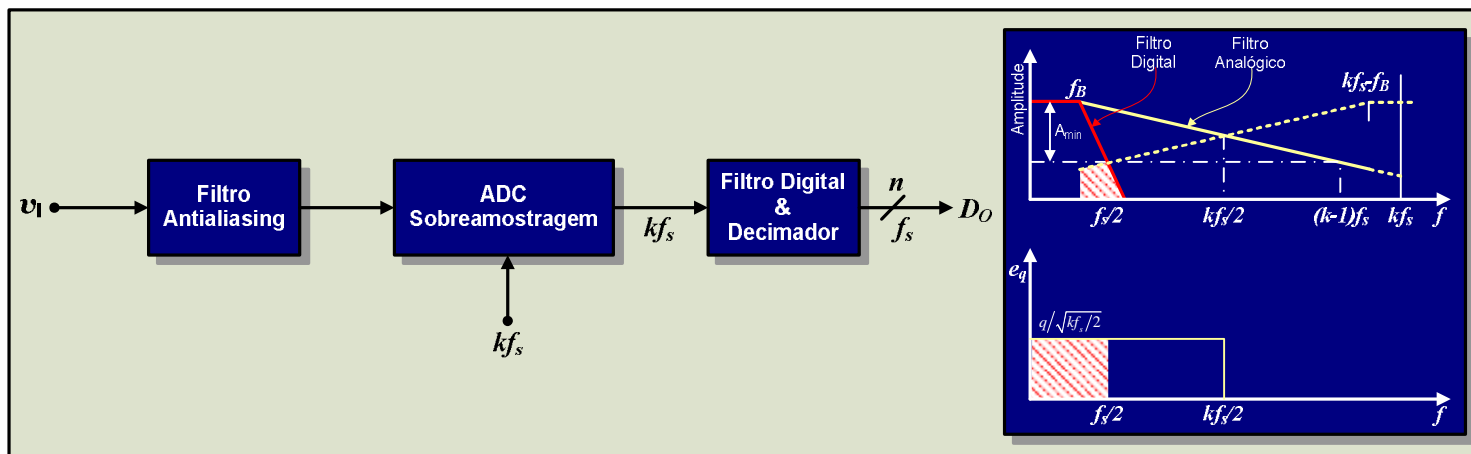
Conversores Analógico-Digital Conversor S-D (Sigma-Delta)

São baseados numa técnica de sobreamostragem o que contribui para:

- Simplificação dos filtros analógicos de entrada pelo facto de a banda de transição aumentar;
- O ruído de quantificação é disperso por uma largura de banda maior o que contribui para uma redução da sua densidade espectral;

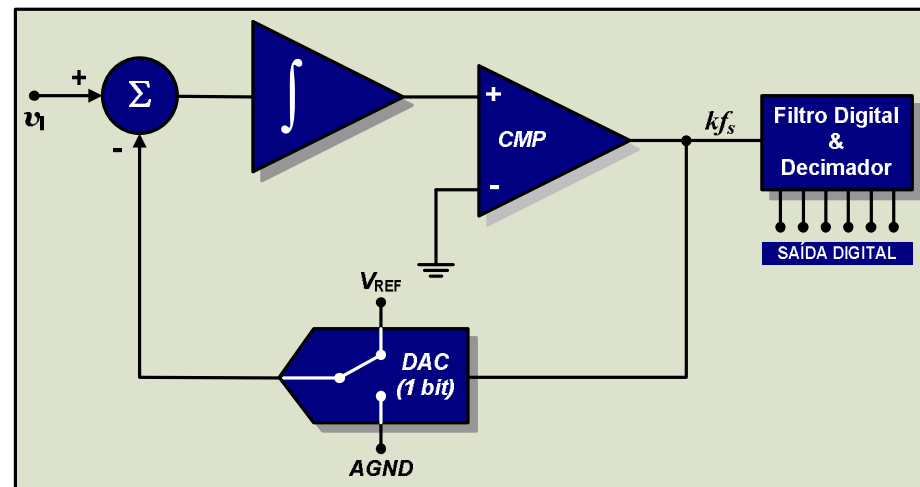
Contudo estes benefícios obrigam à utilização de um filtro digital na saída para:

- Supressão de componentes espectrais e ruído acima de $f_s/2$;
- Redução da taxa de dados de kf_s para f_s (decimação);

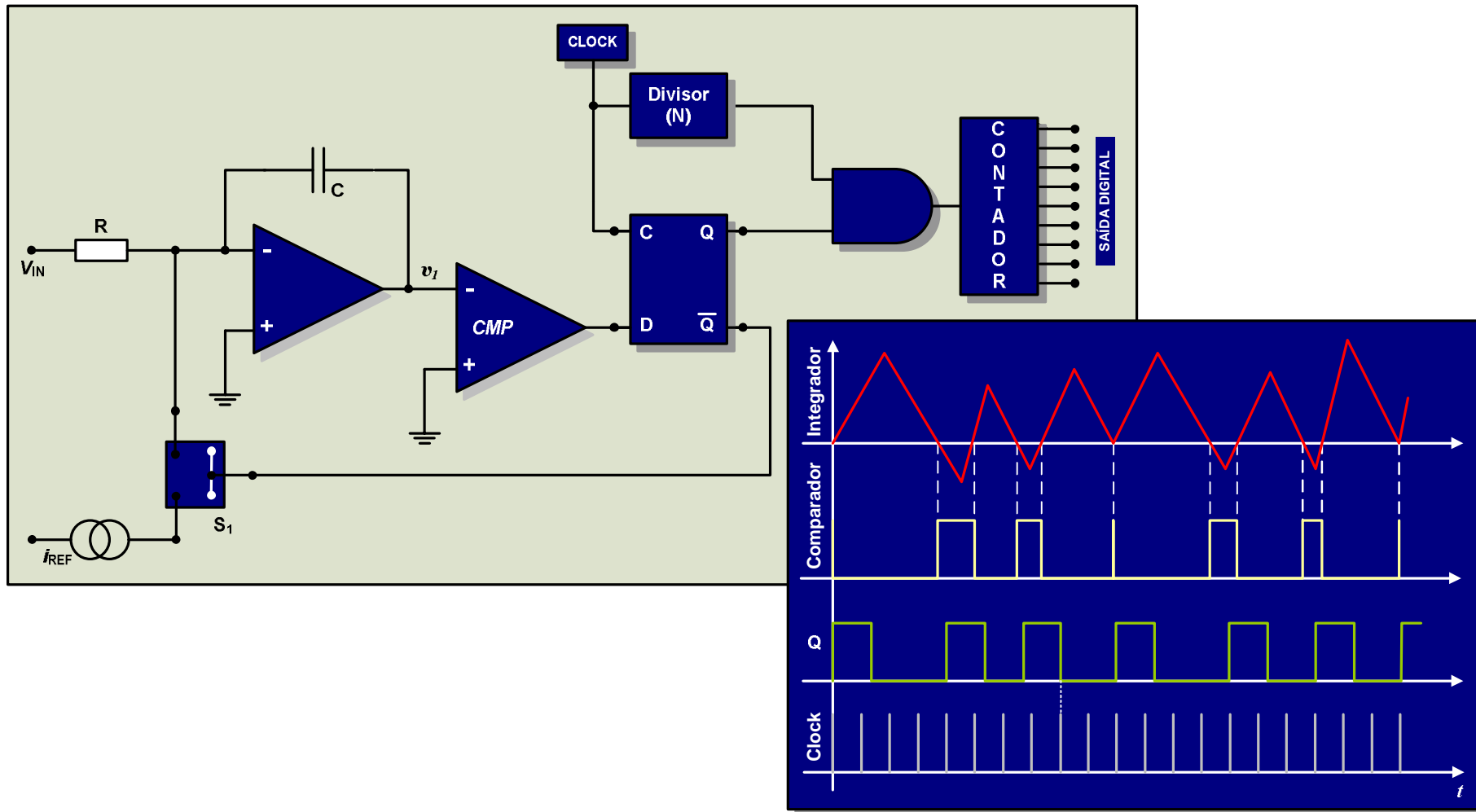


Conversores Analógico-Digital Conversor S-D (Sigma-Delta)

- O conversor consiste num digitalizador de **1 bit** que converte o sinal v_I numa sequência de *bit's* de alta frequência (modulador).
- O filtro digital e decimador tem por função converter esta sequência de *bit's* numa sequência de *n-words* de valor binário fraccionário, **DO**, a uma taxa de **fs word's** por segundo.
- O modulador é constituído por um integrador que integra (**S**) a diferença (**D**) entre o sinal v_I e o sinal de saída da **DAC**, um comparador (**ADC** de **1 bit**) que fornece a sequência de *bit's* e que é controlado (com *latch*) a uma frequência **kfs sps**, onde **k** é uma potência de **2**.



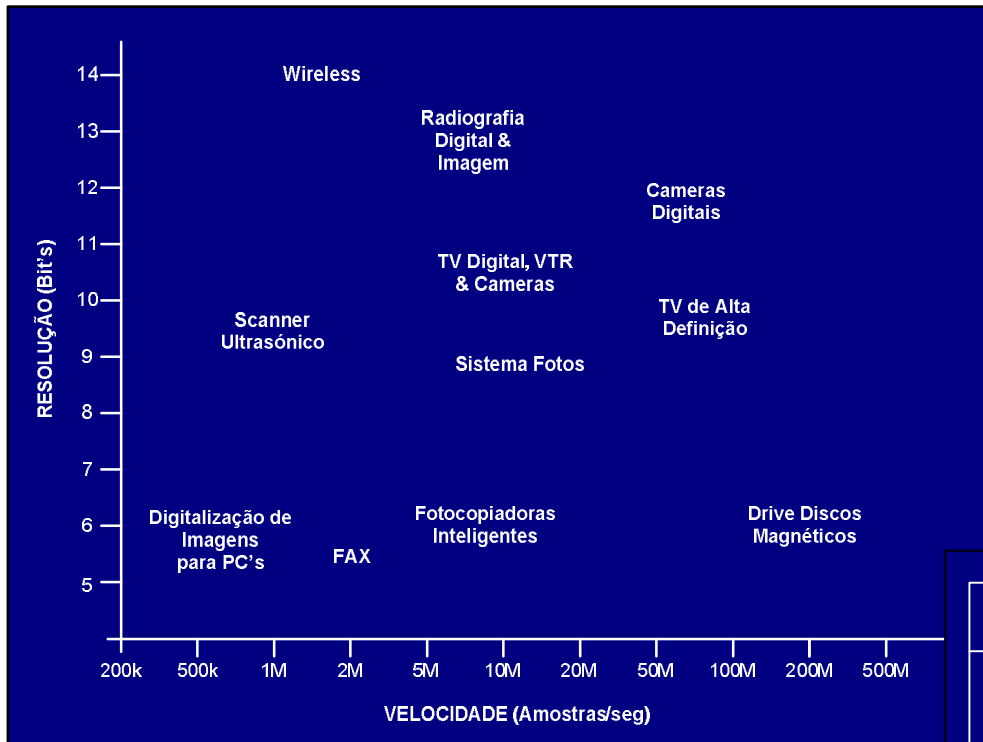
Conversores Analógico-Digital Conversor S-D (Sigma-Delta)



Conversores Analógico-Digital Conversor S-D (Sigma-Delta)

O conversor da figura anterior funciona da seguinte forma:

- A tensão de entrada está permanentemente ligada ao integrador carregando o condensador e conduzindo a uma tensão de saída (integrador) negativa a uma taxa que depende da amplitude do sinal de entrada.
 - Quando a saída do integrador é inferior a zero o comparador coloca o nível alto em **D**.
 - O próximo pulso de *clock* faz com que o interruptor **S₁** fique **ON**. Esta corrente é superior a V_{INmax}/R , pelo que o condensador inicia a descarga.
 - O próximo pulso de *clock* desliga **S₁**.
 - A duração do pulso de corrente é de $1/f_C$ e a carga entregue ao condensador é i_{REF}/f_C .
 - Quando V_{IN} tiver substituído a carga removida pela corrente de referência o comparador dispara o biestável novamente e o processo é repetido novamente.
-



FAMÍLIA	RESOLUÇÃO TÍPICA	VELOCIDADE	APLICAÇÕES
FLASH	BAIXA 1 a 8 bit's	Alta Velocidade Muito Rápido	Aplicações Muito Rápidas DSP Vídeo e Controlo de Alta Velocidade
APROXIMAÇÕES SUCESSIVAS	8 a 16 bit's	Médio/Rápido	Aplicações de Aquisição de Dados desde d.c. até IF.
DUPLA RAMPA INTEGRADORES	10 a 20 bit's	Lento	Aparelhos de Medida Digitais
SIGMA-DELTA	10 a 24 bit's	Lento Compromisso entre resolução e velocidade	Aplicações de baixo custo desde d.c. a áudio. Medidores de Potência