

Antes de começar o exame leia atentamente as seguintes instruções:

- Apenas é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.
- Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar. A identificação imprópria de uma folha de exame acarreta a sua inutilização.
- A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis rectos.
- O aluno detectado a plagiar verá o seu exame anulado e poderá incorrer em processo disciplinar.

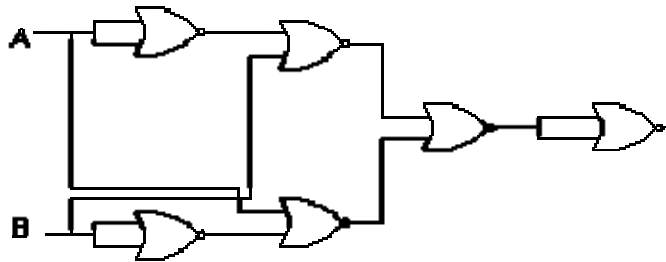
1- Responda às seguintes questões:

a) Execute a seguinte operação na base 2: $10001_2 - 01110_2$ (deve ser apresentado os pedidos de empréstimo durante a operação). [1]

$$\begin{array}{r}
 11100 \text{ Empréstimo} \\
 10001 \\
 -01110 \\
 \hline
 00011
 \end{array}$$

b) Faça um esboço da operação $A \oplus B$ utilizando apenas portas NOR. [1]

$$\begin{aligned}
 A \oplus B &= \overline{\overline{A} \cdot B} + \overline{A \cdot \overline{B}} \\
 &= \overline{\overline{\overline{A} \cdot B} + \overline{A \cdot \overline{B}}} \quad \text{Propriedade da dupla negação} \\
 &= \overline{A + \overline{B} + \overline{A} + B} \quad \text{Lei de DeMorgan}
 \end{aligned}$$



c) A função booleana $F(A, B, C) = A + B \cdot C$ está na forma canónica? Justifique. [1]

Não. Por definição a forma canónica de uma expressão lógica diz respeito a uma "soma" de "produtos" ou "produto" de "somadas" onde cada termo envolve todas as variáveis de entrada na forma "normal" ou complementada. Assim sendo na

expressão $F(A,B,C)=A+B\cdot C$ deveria constar as variáveis B e C no primeiro termo e A no segundo termo.

d) Explique como é que um flip-flop D pode armazenar um bit de informação. [1]

A informação a ser armazenada deve ser colocada na entrada D . A ordem para armazenar é dada a partir de uma transição no valor lógico do sinal de sincronismo (clock). Nessa situação o valor colocado à entrada é transferido para a saída do biestável onde se mantém até nova ordem de armazenamento.

e) Comente a seguinte afirmação: “Uma memória ROM pode ser utilizada para implementar funções lógicas”. Explique convenientemente como é que isso é possível. [1]

Internamente uma ROM possui uma estrutura na forma de soma-de-produtos o que implica que esta está apta a implementar qualquer função lógica combinatória. A construção de uma função lógica utilizando uma ROM requer que as variáveis de entrada sejam associadas às linhas de endereço e que o(s) bit de saída, para cada combinação das variáveis de entrada, seja gravado na ROM segundo a tabela de verdades da função a implementar (ver acetato 11 Parte V)

2- Observe o(s) seguinte(s) mapa(s) de Karnaugh:

		A=0				A=1					
		BC	00	01	11	10	BC	00	01	11	10
F=0	DE	00	0	1	0	1	00	0	x	0	0
	01	x	1	x	1	01	0	1	x	1	
	11	1	x	1	x	11	0	x	x	x	
	10	1	0	x	0	10	0	0	1	0	

		A=0				A=1					
		BC	00	01	11	10	BC	00	01	11	10
F=1	DE	00	x	x	x	1	00	x	x	x	x
	01	x	x	x	1	01	x	x	x	x	
	11	1	1	x	1	11	x	x	x	x	
	10	1	0	x	0	10	x	x	x	x	

- a) Ignore todas as tabelas da figura anterior com a exceção da tabela para $A=1$ e $F=1$.
Obtenha a função lógica simplificada $\mathbf{F}(B,C,D,E)$ para esta situação. [2]

BC \ DE	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10	X	X	X	X

Nesta tabela a variável de saída toma sempre o mesmo valor lógico, irrelevante, independentemente das variáveis de entrada. Assim pode-se dizer que,

$$\mathbf{F}(B,C,D,E)=0 \text{ ou } \mathbf{F}(B,C,D,E)=1$$

- b) Ignore todas as tabelas da figura anterior para $F=1$ (ou seja admita apenas a existência das duas tabelas superiores o que implica uma função de 5 variáveis).
Obtenha a função $\mathbf{F}(A,B,C,D,E)$ na forma normal conjuntiva. [2]

		A=0				A=1			
BC \ DE		00	01	11	10	00	01	11	10
00	0	1	0	1	0	X	0	0	0
01	X	1	X	1	0	1	X	1	1
11	1	X	1	X	0	X	X	X	X
10	1	0	X	0	0	0	0	1	0

Seis grupos de 4 elementos cada.

$$F(A,B,C,D,E) = (\bar{A} + D + E) \cdot (\bar{A} + B + C) \cdot (B + \bar{C} + \bar{D}) \cdot (\bar{B} + C + \bar{D}) \cdot (B + C + D) \cdot (\bar{B} + \bar{C} + D)$$

- c) Obtenha a função lógica simplificada para o mapa de 6 variáveis da figura anterior, i.e. $\mathbf{F}(A,B,C,D,E,F)$. [1]

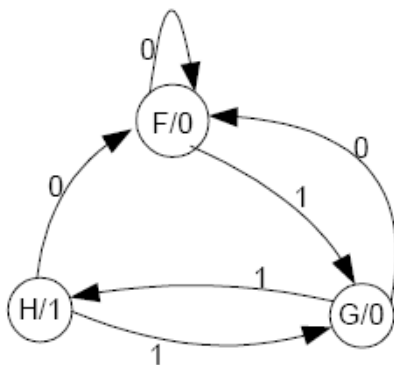
Para não tornar a selecção confusa não se encontra assinalado, no mapa \mathcal{K} que se segue, a ligação dos grupos entre tabelas. No entanto é fácil ver que existem dois grupos de 4 elementos, um grupo de 8 elementos e 2 grupos de 16 elementos. Os dois primeiros envolvem apenas as tabelas para $A=0$.

		A=0				A=1					
		BC	00	01	11	10	BC	00	01	11	10
F=0	DE	00	0	1	0	1	00	0	x	0	0
	01	x	1	x	1	0	01 <td>0</td> <td>1</td> <td>x</td> <td>1</td>	0	1	x	1
	11	1	x	1	x	0	11 <td>0</td> <td>x</td> <td>x</td> <td>x</td>	0	x	x	x
	10	1	0	x	0	0	10 <td>0</td> <td>0</td> <td>1</td> <td>0</td>	0	0	1	0

		A=0				A=1					
		BC	00	01	11	10	BC	00	01	11	10
F=1	DE	00	x	x	x	1	00	x	x	x	x
	01	x	x	x	1	x	01 <td>x</td> <td>x</td> <td>x</td> <td>x</td>	x	x	x	x
	11	1	1	x	1	x	11 <td>x</td> <td>x</td> <td>x</td> <td>x</td>	x	x	x	x
	10	1	0	x	0	x	10 <td>x</td> <td>x</td> <td>x</td> <td>x</td>	x	x	x	x

$$F(A, B, C, D, E, F) = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D} + BCD + BE + CE$$

3- O circuito sequencial representado pelo diagrama de estados seguinte tem uma entrada **E** (para além do relógio) e uma saída **S**.



a) Trata-se de uma máquina de *Mealy* ou de *Moore*. Justifique. [1]

O diagrama de estados representado refere-se a uma máquina de *Moore* dado que o valor lógico da saída apenas depende do estado activo no presente.

b) Indique a sequência da saída em função do valor da entrada. Explique o funcionamento da máquina. [1]

Admitindo **F** como estado inicial observa-se a seguinte sequência:

E = 0 -> 1 -> 0 -> 1 -> 1 -> 0 -> 1 -> 1 -> 1 -> 1

F -> G -> F -> G -> H -> F -> G -> H -> G -> H

S = 0 -> 0 -> 0 -> 0 -> 1 -> 0 -> 0 -> 1 -> 0 -> 1

Conclui-se que a máquina fornece, à saída, e apenas durante um impulso de clock, o valor lógico '1' quando detecta à sua entrada a sequência '11'.

c) Projecte o circuito correspondente utilizando *Flip-Flop's D* [3]

Como existem apenas três estados apenas são necessários dois flip-flop's para implementar a máquina.

Supõe-se a seguinte atribuição de estados:

$$F \rightarrow 00$$

$$G \rightarrow 01$$

$$H \rightarrow 10$$

Tabela de Transição de Estados

Estados Presentes q_1q_0	Entrada E	Estados Seguintes q_1q_0	D_1D_0	Saída S
00	0	00	00	0
00	1	01	01	0
01	0	00	00	0
01	1	10	10	0
10	0	00	00	1
10	1	01	01	1
11	X	XX	XX	X
11	X	XX	XX	X

Equações de Excitação:

Para D_1 :

$E \backslash q_1q_0$	00	01	11	10
0	0	0	X	0
1	0	1	X	0

$$D_1 = q_0 \cdot E$$

Para D_0 :

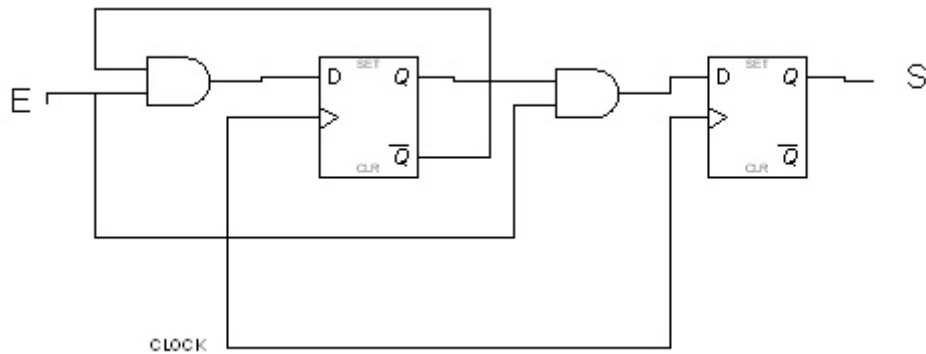
$E \backslash q_1q_0$	00	01	11	10
0	0	0	X	0
1	1	0	X	1

$$D_0 = \bar{q}_0 \cdot E$$

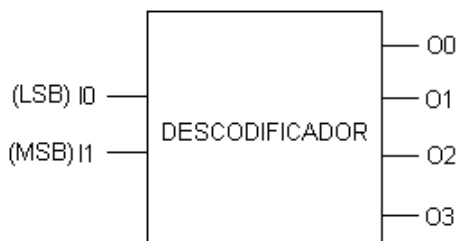
Equação da Saída

$$S = q_1$$

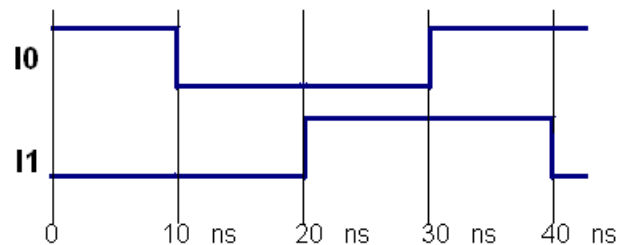
Diagrama Lógico (ou Logigrama)



4-



(a)



(b)

a) Indique as vantagens, no domínio dos sistemas digitais, de se caracterizar um circuito em VHDL. [1]

Entre outras assinalam-se as seguintes:

- *Linguagem padrão independente de qualquer fabricante de componentes;*
- *Capacidade de definir circuitos digitais ao nível do comportamento;*
- *Possibilidade de síntese de dispositivos lógicos programáveis a partir do código.*

b) Apresente a sequência de instruções que seja capaz de gerar a forma de onda da figura (b). [1]

```
I0<='1','0' AFTER 10 ns, '1' AFTER 30 ns;  
I1<='0','1' AFTER 20 ns, '0' AFTER 40 ns;
```

c) Escreva um módulo em VHDL que implemente o decodificador digital de dois *bit* representado na figura (a). **Sugestão:** Utilize vectores para representar os sinais de entrada/saída. [3]

Trata-se do exercício do 3º Exame Prático : tipo C cuja solução já tinha sido posta na

NET 😊. *Segue, mais uma vez,...*

```
entity comparador is
  Port ( Entrada : in  BIT_VECTOR (1 downto 0);
        Saidas  : out BIT_VECTOR (3 downto 0));
end comparador;

architecture Behavioral of comparador is

begin

Saidas<="0001" when Entrada="00" else
        "0010" when Entrada="01" else
        "0100" when Entrada="10" else
        "1000";
end Behavioral;
```