

Antes de começar o exame leia atentamente as seguintes instruções:

- Só é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.
- Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar. A identificação imprópria de uma folha de exame acarreta a sua inutilização.
- A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis rectos.
- O aluno detectado a plagiar verá o seu exame anulado e poderá incorrer em processo disciplinar.

Duração da prova: 2 horas.

1- Responda às seguintes questões:

a) Execute a seguinte operação na base 2: $1101_2 \times 1110_2$ (deve ser apresentados os bit de transporte sempre que aplicável). [1]

R:

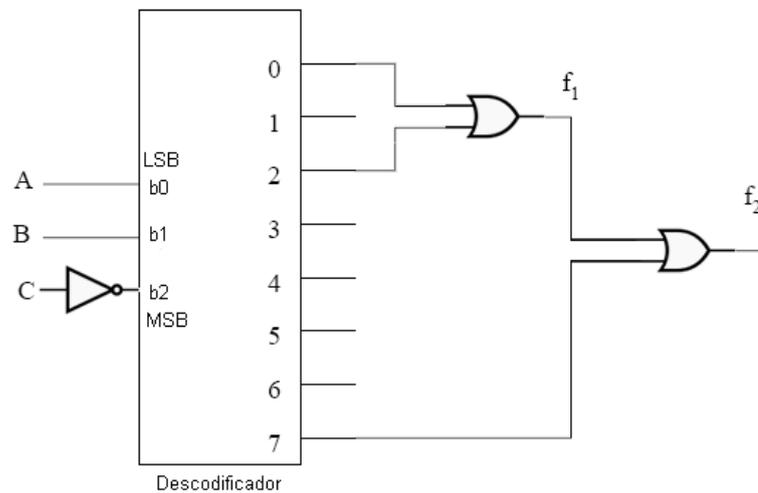
$$\begin{array}{r}
 1101 \\
 \times 1110 \\
 \hline
 0000 \\
 1101 \\
 1101 \\
 + 1101 \\
 \hline
 10110110
 \end{array}$$

b) Transforme algebricamente a função booleana, $f(x, y, z) = (\bar{x} + y) \cdot (y + \bar{z})$, de modo a esta poder ser implementada directamente apenas por portas NAND. [1]

R:

$$\begin{aligned}
 f(x, y, z) &= (\bar{x} + y) \cdot (y + \bar{z}) \\
 &= \overline{(\overline{\bar{x} + y})} \cdot \overline{(\overline{y + \bar{z}})} = \overline{(x \cdot \bar{y})} \cdot \overline{(\bar{y} \cdot z)} \\
 &= \overline{(x \cdot \bar{y})} \cdot \overline{(\bar{y} \cdot z)}
 \end{aligned}$$

c) Considere o seguinte circuito combinatório construído em torno de um decodificador de linhas (3 para 8).



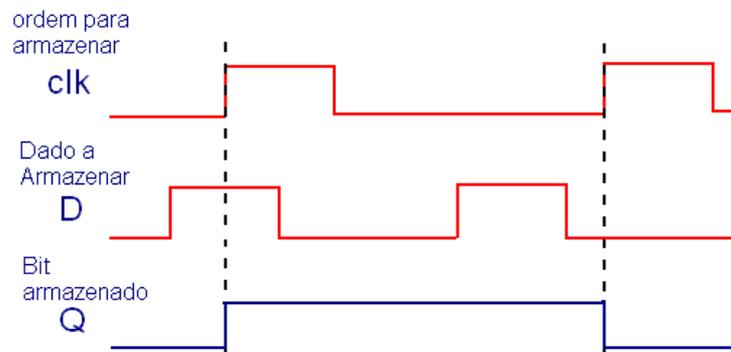
Admitindo $A=0$, $B=0$ e $C=0$ determine o valor lógico à saída das duas portas OR. [2]

R:

Se $A=0$, $B=0$ e $C=0$ a linha activa à saída do decodificador é a 4. Todas as outras linhas de saída possuem o valor lógico 0. Por isso mesmo $f_1= 0+0=0$ e $f_2=0+0=0$.

d) Explique, apresentando os diagramas temporais que achar convenientes, como é que um flip-flop D pode armazenar um bit de informação. [2]

R:



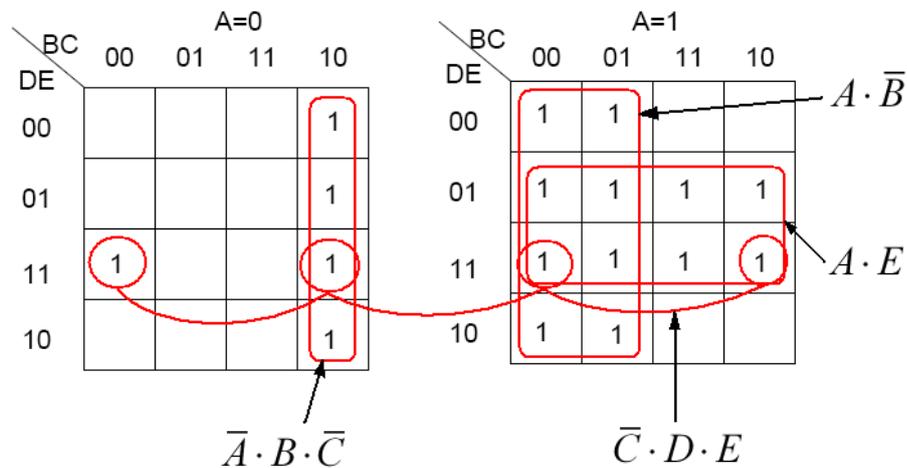
À entrada D é colocado o bit a armazenar e na entrada de clock é dada a ordem de armazenamento. O valor registado encontra-se à saída Q do flip-flop. Admitindo inicialmente $Q=0$, colocando à entrada D o valor lógico '1', e dando ordem para armazenar (através, por exemplo, do bordo positivo do sinal de clock) Q passa a ter o valor lógico '1'. Mesmo que o valor de D mude após o flanco ascendente de clock, o valor lógico de Q não se altera.

2- Observe a seguinte função Booleana de variável Booleana:

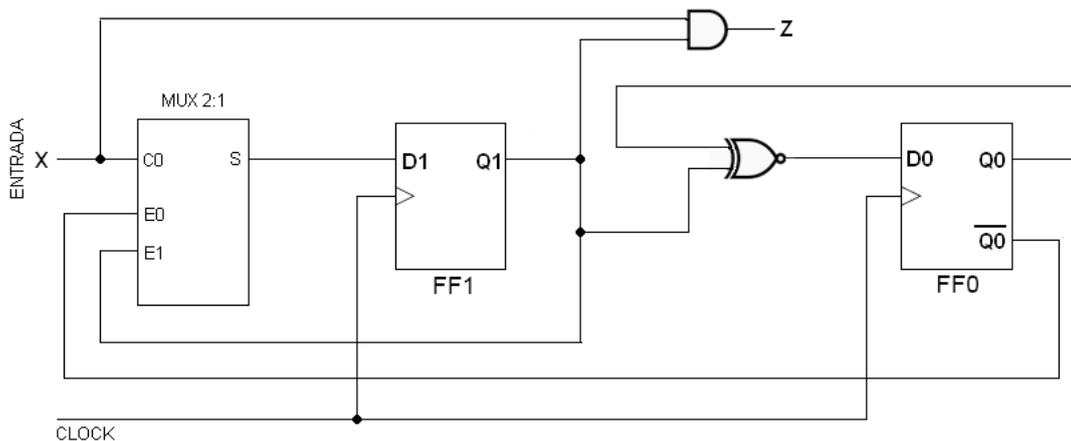
$$F(A, B, C, D, E) = A \cdot \bar{B} + \bar{A} \cdot B \cdot \bar{C} + \bar{C} \cdot D \cdot E + A \cdot E$$

Desenhe, no mapa de Karnaugh, os grupos a que se refere a expressão anterior. [2]

R:



3- Observe o seguinte circuito com uma entrada externa (X) e uma saída (Z):



a) Trata-se de uma máquina de Moore ou de Mealy. Justifique convenientemente. [1]

R:

A variável de saída Z é obtida através da conjunção (operação AND) entre o valor lógico de dois sinais distintos: um derivado do estado presente do flip-flop 1 (saída Q1) e outro do valor lógico da variável de entrada X. Como o valor lógico da saída não depende exclusivamente do estado da máquina mas também do valor lógico da variável de entrada o circuito anterior refere-se a uma máquina de Mealy.

b) Explique como funciona o multiplexador representado na figura anterior. [2]

R:

Num determinado instante de tempo o valor lógico à saída do multiplexador será idêntico a uma das duas entradas E0 ou E1. Se o sinal de controlo C0 for igual a 0 a saída $S=E0$ e se $C0='1'$ $S=E1$.

c) Obtenha a função lógica à saída do multiplexador (S) em função das variáveis X, Q1 e $\overline{Q_0}$. [2]

R:

Uma abordagem mais sistemática ao problema proposto começa pelo preenchimento da tabela de verdades:

X	Q0	Q1	S
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Preenchendo o mapa de Karnaugh obtém-se:

		XQ0			
		00	01	11	10
Q1	0	1			
	1	1		1	1

O que leva a:

$$S = \overline{X} \cdot \overline{Q_0} + X \cdot Q_1$$

d) Preencha a tabela de transição de estados associada ao circuito. [2]

R:

As equações de excitação são:

$$D_1 = \overline{X} \cdot \overline{Q_0} + X \cdot Q_1$$

$$D_0 = \overline{Q_0 \oplus Q_1} = Q_0 \odot Q_1$$

E a tabela de transição de estado possui o seguinte aspecto:

Q_1^n	Q_0^n	X	Q_1^{n+1}	Q_0^{n+1}	D_1	D_0	Z
0	0	0	1	1	1	1	0
0	0	1	0	1	0	1	0
0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0
1	0	0	1	0	1	0	0
1	0	1	1	0	1	0	1
1	1	0	0	1	0	1	0
1	1	1	1	1	1	1	1

e) A partir da tabela anterior desenhe o diagrama de estados da máquina. [2]

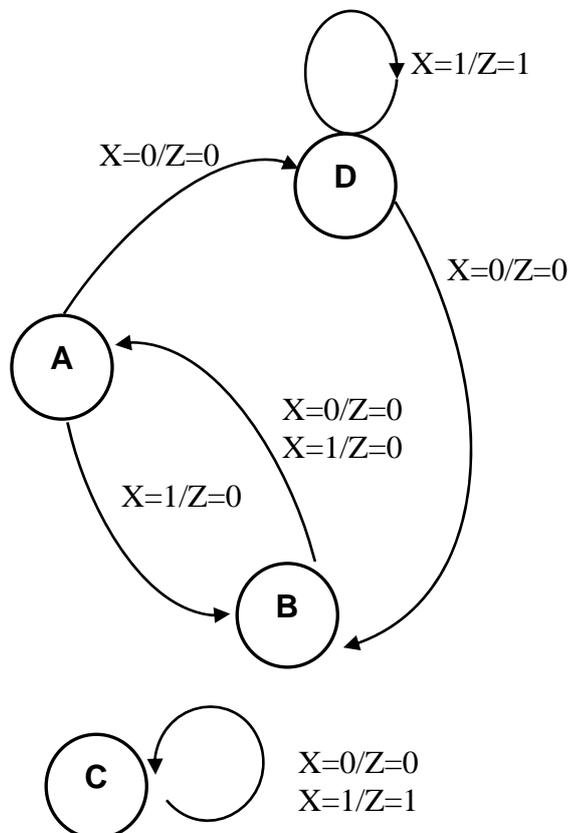
R:

Começamos por fazer a seguinte atribuição de estados:

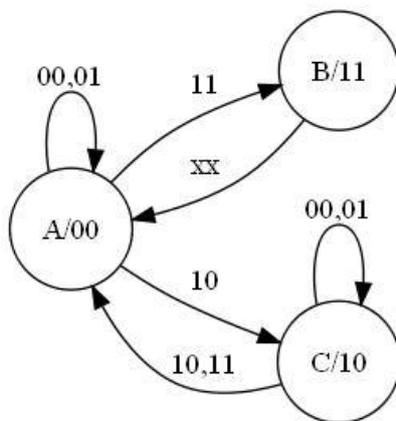
A=00, C=10,

B=01, D=11

Neste contexto o diagrama de estados, a partir da tabela anterior, passa a ter o seguinte aspecto:



4- O circuito sequencial representado pelo diagrama de estados seguinte tem duas entradas <E0 E1> (para além do relógio) e duas saídas <S0 S1>.



a) Obtenha a tabela de transição de estados admitindo, para o projecto, flip-flop's do tipo JK. [1]

R:

Atribuição de estados

A=00; B=11; C=10 (Porquê?)

Q_1^n	Q_0^n	E_0	E_1	Q_1^{n+1}	Q_0^{n+1}	J_1	K_1	J_0	K_0	S_0	S_1
0	0	0	0	0	0	0	X	0	X	0	0
0	0	0	1	0	0	0	X	0	X	0	0
0	0	1	0	1	0	1	X	0	X	0	0
0	0	1	1	1	1	1	X	1	X	0	0
0	1	X	X	X	X	X	X	X	X	X	X
1	0	0	0	1	0	X	0	0	X	1	0
1	0	0	1	1	0	X	0	0	X	1	0
1	0	1	0	0	0	X	1	0	X	1	0
1	0	1	1	0	0	X	1	0	X	1	0
1	1	0	0	0	0	X	1	X	1	1	1
1	1	0	1	0	0	X	1	X	1	1	1
1	1	1	0	0	0	X	1	X	1	1	1
1	1	1	1	0	0	X	1	X	1	1	1

b) Obtenha as equações de excitação para os flip-flop's da alínea anterior assim como as equações para as saídas. Desenhe o diagrama lógico do circuito sequencial. [2]

$$S_0 = Q_1$$

$$S_1 = Q_0$$

Q1 Q0		J1			
		00	01	11	10
E0 E1	00	0	X	X	X
	01	0	X	X	X
	11	1	X	X	X
	10	1	X	X	X

Q1 Q0		K1			
		00	01	11	10
E0 E1	00	X	X	1	0
	01	X	X	1	0
	11	X	X	1	1
	10	X	X	1	1

Q1 Q0		J0			
		00	01	11	10
E0 E1	00	0	X	X	0
	01	0	X	X	0
	11	1	X	X	0
	10	0	X	X	0

Q1 Q0		K0			
		00	01	11	10
E0 E1	00	X	X	1	X
	01	X	X	1	X
	11	X	X	1	X
	10	X	X	1	X

$$K_0 = 1$$

$$J_0 = \bar{Q}_1 \cdot E_0 \cdot E_1$$

$$J_1 = E_0$$

$$K_1 = Q_0 + E_0$$

