SISTEMAS DIGITAIS

Licenciatura em Engenharia Electrotécnica

Licenciatura em Engenharia Informática

Exame (1ª Chamada) – 27 de Janeiro de 2012

Antes de começar o exame leia atentamente as seguintes instruções:

- **Só é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.**
- **Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar. A identificação imprópria de uma folha de exame acarreta a sua inutilização.**
- **A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis rectos.**
- **O aluno detectado a plagiar verá o seu exame anulado e poderá incorrer em processo disciplinar.**

Duração da prova: 2 horas.

1- Responda às seguintes questões:

a) Execute a seguinte operação na base 2: $1_2 - 1111_2$ (deve ser apresentado os pedidos de empréstimo sempre que aplicável). **[1]**

R:

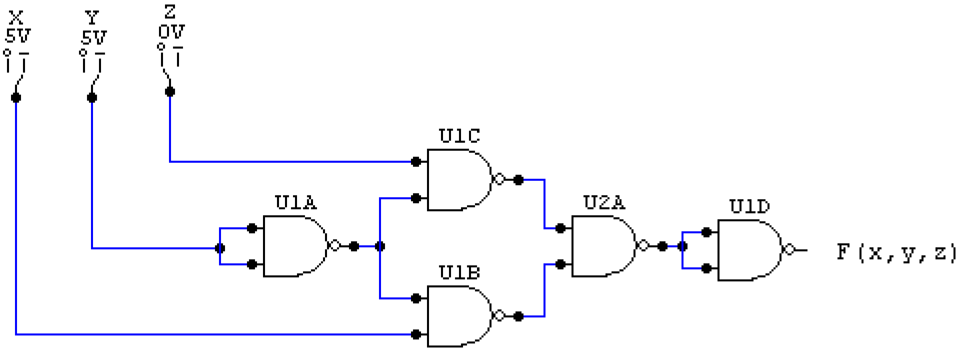
1	…	1	1	1	1	0	0	Empréstimo
				0	0	0	1	
-				1	1	1	1	
1	…	1	1	0	0	1	0	

Para o caso particular da presente operação, a partir do quarto bit, o resultado consiste numa sequência teoricamente infinita de bits a '1'. Na prática o resultado é truncado em função da dimensão da palavra do processador. Admitindo um byte o resultado seria 11110010.

b) Desenhe o diagrama lógico da função, $f(x,y,z) = (\overline{x}+y)\cdot(y+\overline{z})$, utilizando apenas portas NAND. **[2]**

R:

$$\begin{aligned} f(x,y,z) &= (\overline{x}+y)\cdot(y+\overline{z}) \\ &= \overline{\overline{(\overline{x}+y)}}\cdot\overline{\overline{(y+\overline{z})}} \\ &= \overline{(x\cdot\overline{y})}\cdot\overline{(\overline{y}\cdot z)} \\ &= \overline{\overline{\overline{(x\cdot\overline{y})}\cdot\overline{(\overline{y}\cdot z)}}} \end{aligned}$$

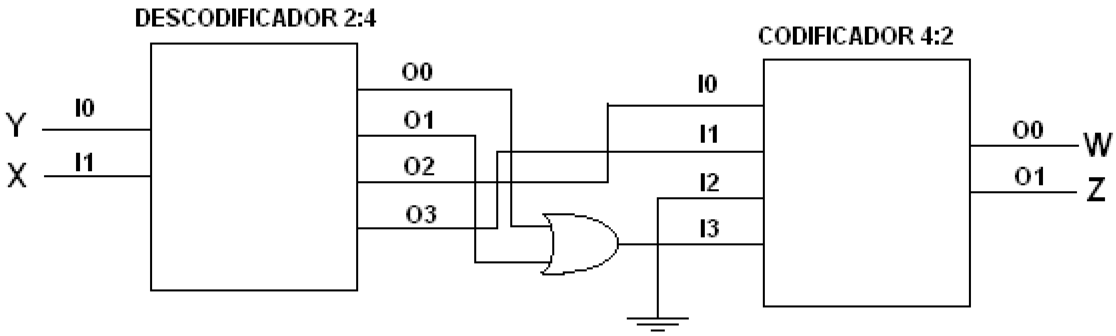


c) Pretende-se criar um circuito combinatório que execute a conversão das variáveis (X,Y) em (Z,W) de acordo com a seguinte tabela de verdades:

X	Y	Z	W
0	0	1	1
0	1	1	1
1	0	0	0
1	1	0	1

Para isso apenas se dispõe de um codificador e de um descodificador de linhas (2 para 4). Desenhe o diagrama lógico do circuito que permite realizar a conversão. **[3]**

R:



2- Considere um circuito digital com 5 entradas (b_4, b_3, b_2, b_1 e b_0) e uma saída (Y). Pretende-se que a saída seja '1' sempre que o equivalente decimal da sequência binária $b_4b_3b_2b_1b_0$ representar um número divisível por **3**. Por exemplo se b_4=1, b_3=0 b_2=0, b_1=1 e b_0=1, ao que corresponde 19 na base 10, então saída Y deverá ser igual a '0' dado que 19 não é divisível por 3. Por outro lado se b_4=1, b_3=1 b_2=0, b_1=1 e b_0=1, representando o número 27, então Y deverá ser igual a '1' visto que 27 é divisível por 3. *Recorrendo aos mapas de Karnaugh obtenha a expressão lógica mais simples associada a este problema.* **[3]**

R:

Comecemos por descrever o problema sob a forma de uma tabela de verdades. Neste caso o problema envolve 5 variáveis de entrada, b4 a b0 e uma variável de saída Y. Assim sendo, a tabela de verdades toma o seguinte aspecto:

b4	*b3*	*b2*	*b1*	*b0*	*Y*
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	1
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	0

A função lógica mais simples pode ser obtida, a partir desta tabela de verdades, recorrendo aos mapas de Karnaugh. Trata-se de mapas para cinco variáveis preenchidos de acordo com a coluna de Y. Na página que se segue apresenta-se o aspecto do mapa de Karnaugh devidamente preenchido e agrupado. Como se pode ver apenas grupos de um elemento são possíveis. Por este motivo a expressão lógica resultante não difere da forma canónica disjuntiva. Ou seja,

$$
\begin{aligned}
Y = {} & \overline{b_4}\cdot\left(b_3\cdot b_2\cdot\overline{b_1}\cdot\overline{b_0}+b_3\cdot\overline{b_2}\cdot\overline{b_1}\cdot b_0+\overline{b_3}\cdot\overline{b_2}\cdot b_1\cdot b_0+b_3\cdot b_2\cdot b_1\cdot b_0+\overline{b_3}\cdot b_2\cdot b_1\cdot\overline{b_0}\right)+\\
& b_4\cdot\left(b_3\cdot\overline{b_2}\cdot\overline{b_1}\cdot\overline{b_0}+\overline{b_3}\cdot b_2\cdot\overline{b_1}\cdot b_0+b_3\cdot\overline{b_2}\cdot b_1\cdot b_0+\overline{b_3}\cdot\overline{b_2}\cdot b_1\cdot\overline{b_0}+b_3\cdot b_2\cdot b_1\cdot\overline{b_0}\right)
\end{aligned}
$$

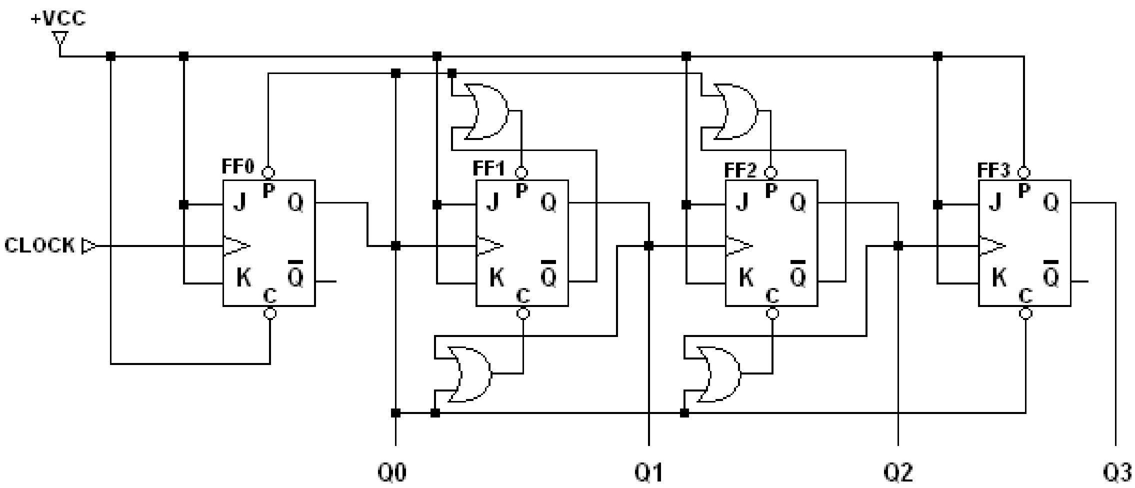
$b_4=0$

b_1b_0 \ b_3b_2	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	1	0
10	0	1	0	0

$b_4=1$

b_1b_0 \ b_3b_2	00	01	11	10
00	0	0	0	1
01	0	1	0	0
11	0	0	0	1
10	1	0	1	0

3- Considere o seguinte contador constituído por quatro flip-flop's do tipo JK com entradas de CLEAR e PRESET assíncronas:



a) Estamos perante um contador síncrono ou assíncrono? Justifique. **[1]**

R: Trata-se de um contador assíncrono pois a actualização de todos os flip-flop's não é simultânea.

b) Escreva as equações de excitação para as entradas de CLEAR e PRESET. **[2]**

R:

$$P_0 = Q_0 \quad P_1 = Q_0 + \overline{Q_1} \quad P_2 = Q_0 + \overline{Q_2} \quad P_3 = '1'$$
$$C_0 = '1', \quad C_1 = Q_1 + Q_0, \quad C_2 = Q_0 + Q_2, \quad C_3 = Q_0$$

c) Obtenha o valor à saída do circuito depois de Q0=Q1=Q2=1 e Q3=0. **[1]**

R:

Como se trata de um contador síncrono decrescente (**porquê?**) *tem-se:*

$Q_3^nQ_2^nQ_1^nQ_0^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	$P_3C_3P_2C_2P_1C_1P_0C_0$
0 1 1 1	0 1 1 0	1 1 1 1 1 1 1 1

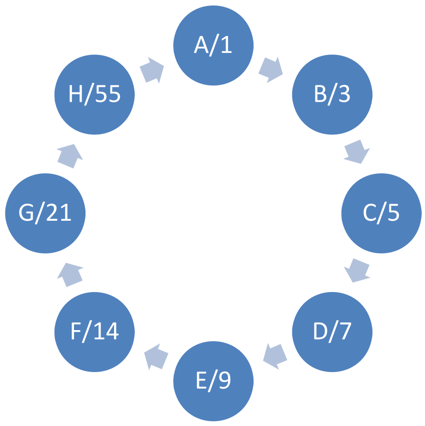
Portanto, depois de 0111 (7_{10}), o circuito apresenta à saída 0110 (6_{10}).

4- Considere a seguinte sequência de contagem:

1, 3, 5, 7, 9, 14, 21, 55

a) Desenhe o diagrama de estados de uma máquina de Moore que efectue a contagem pretendida. **[2]**

R:



b) A partir da alínea anterior, e utilizando flip-flop's tipo D, obtenha o diagrama lógico para o contador. **[2]**

R:

A máquina síncrona a projectar possui 8 estados o que implica a necessidade de 3 flip-flop's. Assim admite-se a seguinte atribuição de estados:

A-000, B – 001, C – 010, D – 011, E – 100, F – 101, G – 110 e H – 111

Para além disso, a necessidade de representar o número 55 em binário implica a existência de 6 saídas: bit 5 a bit 0.

Deste modo a tabela de transição de estados irá possuir o seguinte aspecto:

$Q_2^n\ Q_1^n\ Q_0^n$	$Q_2^{n+1}\ Q_1^{n+1}\ Q_0^{n+1}$	$D_2\ D_1\ D_0$	$b_5\ b_4\ b_3\ b_2\ b_1\ b_0$
000	001	001	000001
001	010	010	000011
010	011	011	000101
011	100	100	000111
100	101	101	001001
101	110	110	001110
110	111	111	010101
111	000	000	110111

Vamos agora obter as equações de excitação e as equações associadas às variáveis de saída. Recorrendo aos mapas de Karnaugh obtém-se:

D2

Q_2Q_1 \ Q_0	00	01	11	10
0	0	0	1	1
1	0	1	0	1

$$D_2 = Q_2\overline{Q_0} + Q_2\overline{Q_1} + \overline{Q_2}Q_1Q_0$$

D1

Q_2Q_1 \ Q_0	00	01	11	10
0	0	1	1	0
1	1	0	0	1

$$D_1 = Q_1Q_0 + Q_1Q_0 = Q_1 \oplus Q_0$$

D0

Q_2Q_1 \ Q_0	00	01	11	10
0	1	1	1	1
1	0	0	0	0

$$D_0 = \overline{Q_0}$$

b2

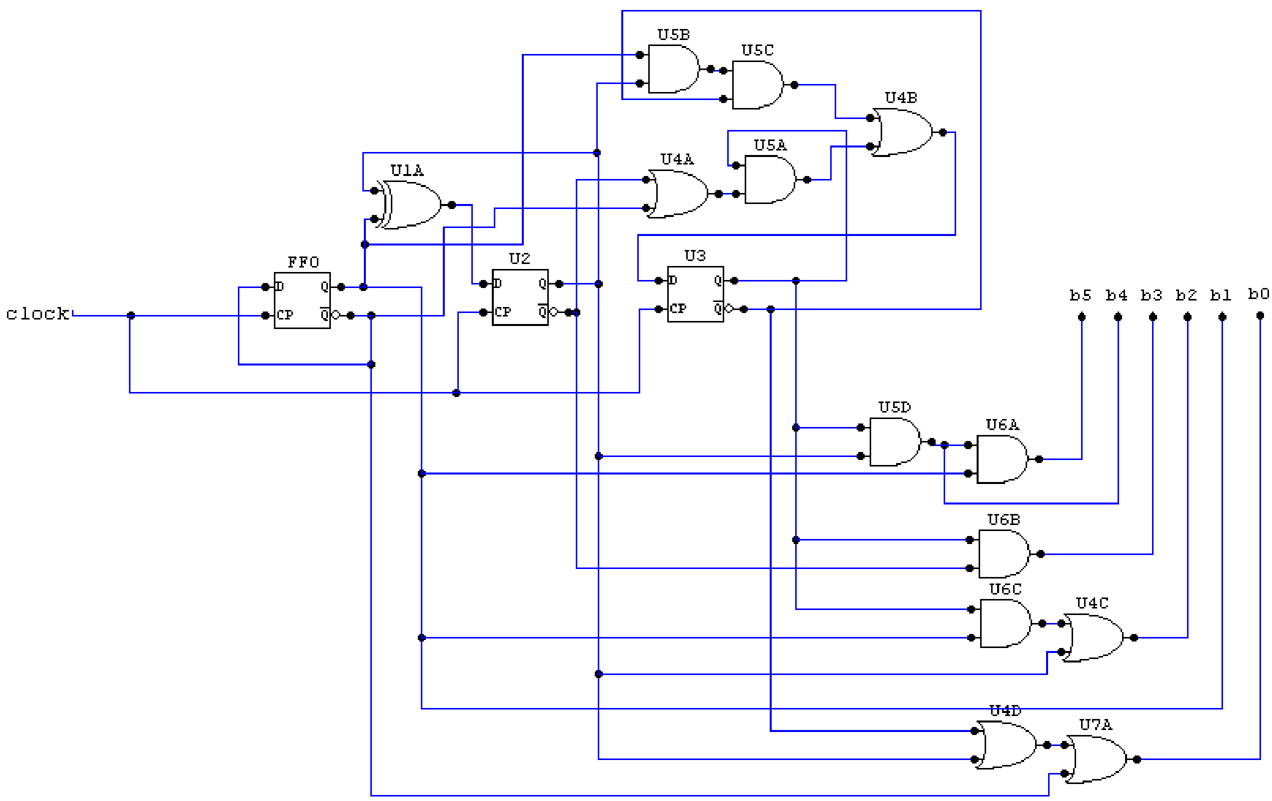
Q_2Q_1 \ Q_0	00	01	11	10
0	0	1	1	0
1	0	1	1	1

$$b_2 = Q_1 + Q_2Q_0$$

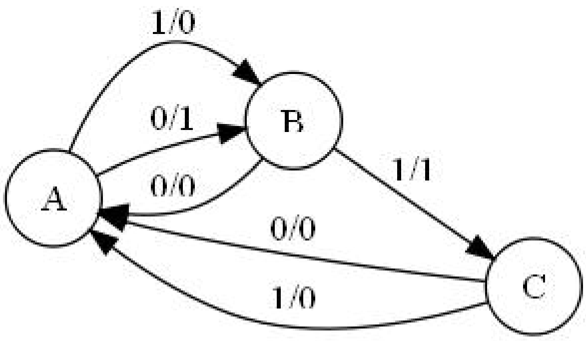
Todas as restantes variáveis podem ser obtidas facilmente a partir apenas de simples inspecção visual. Assim obtém-se:

$$b_5 = Q_2Q_1Q_0\,,\; b_4 = Q_2Q_1\,,\; b_3 = Q_2\overline{Q_1}\,,\; b_1 = Q_0 \text{ e } b_0 = \overline{Q_2} + Q_1 + \overline{Q_0}$$

Finalmente, o diagrama lógico do circuito irá possuir o seguinte aspecto:



5- Observe o seguinte diagrama de estados com uma entrada externa (X) e uma saída (Z) e três estados (A,B e C)**:**



a) Obtenha a tabela de transição de estados admitindo, para o projecto, flip-flop's do tipo JK. **[1]**

R:

Atribuição de estados: A – 00; B – 01; C – 10

Tabela de transição de estados:

$Q_1^n\ Q_0^n$	E	$Q_1^{n+1}\ Q_0^{n+1}$	$J_1\ K_1$	$J_0\ K_0$	Y
00	0	01	0X	1X	1
00	1	01	0X	1X	0
01	0	00	0X	X1	0
01	1	10	1X	X1	1
10	0	00	01	0X	0
10	1	00	01	0X	0
11	X	XX	XX	XX	X

b) Obtenha as equações de excitação para os flip-flop's da alínea anterior assim como as equações para as saídas. Desenhe o diagrama lógico do circuito sequencial. **[2]**

R: Apenas por inspecção visual à tabela da alínea anterior obtém-se:

$\begin{matrix} J_1 = Q_0 \cdot E \\ K_1 = 1 \end{matrix}$, $\begin{matrix} J_0 = \overline{Q_1} \\ K_0 = 1 \end{matrix}$ e $Y = E \cdot Q_0 + \overline{E} \cdot \overline{Q_0} \cdot \overline{Q_1}$