

Antes de começar o exame leia atentamente as seguintes instruções:

- Apenas é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.
- Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar. A identificação imprópria de uma folha de exame acarreta a sua inutilização.
- A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis retos.
- O aluno detetado a plagiar verá o seu exame anulado e poderá incorrer em processo disciplinar.

Duração da prova: 1,5 hora.

1- Responda às seguintes questões justificando convenientemente:

- a) É possível implementar qualquer circuito digital, independentemente da sua complexidade, apenas com portas NAND? **[1]**

Sim. Qualquer circuito digital pode ser reduzido às três operações elementares AND, OR e NOT. Como qualquer uma dessas operações elementares pode ser traduzida através de operações lógicas NAND, daqui se conclui que qualquer circuito digital pode ser implementado recorrendo apenas a portas lógicas NAND.

- b) Qual a diferença entre um *latch* síncrono e um *flip-flop*? **[1]**

Num latch síncrono, o estado é alterado durante o nível lógico do sinal de sincronismo (clock) enquanto que num flip-flop, a alteração de estado acontece na transição (flanco ascendente ou descendente) do sinal de sincronismo.

- c) De que formas um contador assíncrono se distingue de um contador síncrono? **[1]**

Num contador síncrono, a atualização dos estados de todos os flip-flop's que constituem o circuito ocorre simultaneamente. Já nos contadores assíncronos, o sinal de sincronismo de um flip-flop depende da saída do flip-flop imediatamente anterior pelo que a propagação da atualização ocorre como uma onda longitudinal que se desloca do flip-flop menos significativo para o mais significativo. Para além disso, o contador síncrono pode ser projetado de modo a exibir sequências de contagem mais complexas do que no caso do contador assíncrono. No entanto, este último requer menos portas lógicas adicionais para executar uma sequência de contagem simples entre 0 e  $2^n - 1$ .

2- Considere uma função booleana de variáveis booleanas apresentada sob a forma de tabela como se mostra a seguir:

a	b	c	d	F(a,b,c,d)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

a) Obtenha a expressão lógica na forma canónica conjuntiva [2].

$$F = (a+b+c+d) \cdot (a+b'+c+d) \cdot (a+b'+c+d') \cdot (a+b'+c'+d) \cdot (a'+b+c'+d) \cdot (a'+b+c'+d') \cdot (a'+b'+c+d') \cdot (a'+b'+c'+d')$$

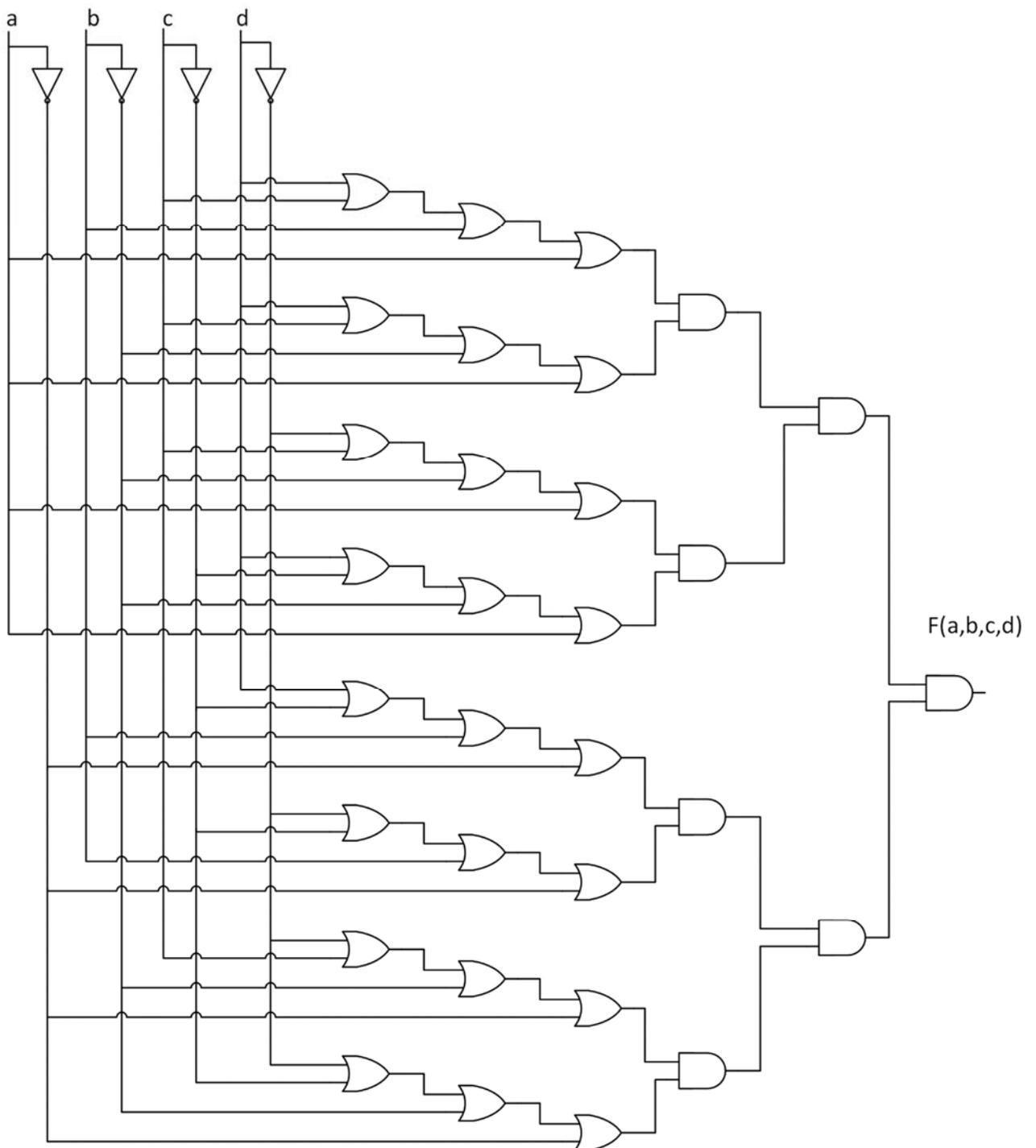
Onde o símbolo de pelica (') se refere à operação NOT.

b) Utilizando os mapas de Karnaugh, apresente a função lógica simplificada [2].

cd \ ab	00	01	11	10
00	0	0	1	1
01	1	0	0	1
11	1	1	0	0
10	1	0	1	0

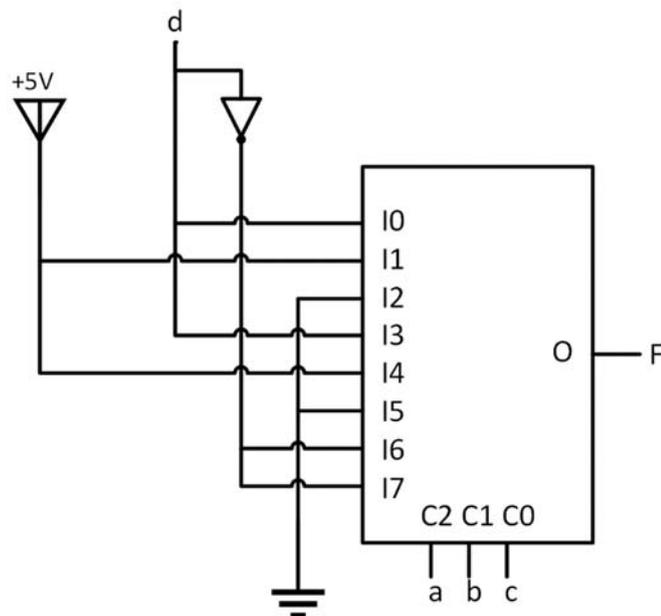
$$F = (a+c+d) \cdot (b'+c+d') \cdot (a'+c'+d') \cdot (a'+b+c') \cdot (a+b'+d)$$

c) Esboce o diagrama lógico associado à função obtida na alínea anterior [2].



d) Utilizando um multiplexador 8:1, desenhe o diagrama lógico de um sistema digital que implemente esta função [2].

a	b	c	d	F(a,b,c,d)	
0	0	0	0	0	F=d
0	0	0	1	1	
0	0	1	0	1	F=1
0	0	1	1	1	
0	1	0	0	0	F=0
0	1	0	1	0	
0	1	1	0	0	F=d
0	1	1	1	1	
1	0	0	0	1	F=1
1	0	0	1	1	
1	0	1	0	0	F=0
1	0	1	1	0	
1	1	0	0	1	F=d'
1	1	0	1	0	
1	1	1	0	1	F=d'
1	1	1	1	0	



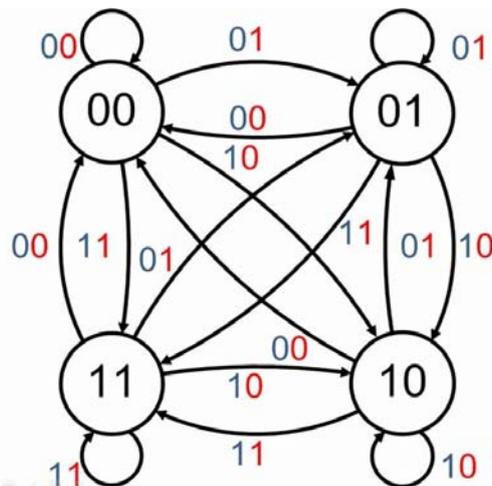
- e) Explique de que forma uma memória ROM poderia ser utilizada para implementar essa função lógica [2]

As variáveis de entrada a, b, c e d deverão ser associadas aos 4 bits menos significativos das linhas de endereço da ROM. Considerando que a saída da tabela de verdades será associada ao bit menos significativo das linhas de saída da ROM então o conteúdo da memória para as primeiras 16 posições de memória deverá garantir que o bit menos significativo terá o valor lógico da saída da tabela de verdades apresentada.

Por exemplo, para uma memória ROM de 16x4 bits:

Endereço				Conteúdo da Memória			
A3=a	A2=b	A1=c	A0=d	D3	D2	D1	D0
0	0	0	0	X	X	X	0
0	0	0	1	X	X	X	1
0	0	1	0	X	X	X	1
0	0	1	1	X	X	X	1
0	1	0	0	X	X	X	0
0	1	0	1	X	X	X	0
0	1	1	0	X	X	X	0
0	1	1	1	X	X	X	1
1	0	0	0	X	X	X	1
1	0	0	1	X	X	X	1
1	0	1	0	X	X	X	0
1	0	1	1	X	X	X	0
1	1	0	0	X	X	X	1
1	1	0	1	X	X	X	0
1	1	1	0	X	X	X	1
1	1	1	1	X	X	X	0

3- Considere a seguinte máquina de estados finita.



Esta máquina representa o comportamento de um sistema digital sequencial com **duas entradas** (para além do *clock*) e duas saídas. O valor lógico das **duas saídas** para um determinado estado é igual à combinação de bits que representa esse estado.

a) Considerando flip-flop's do tipo **JK**, apresente a tabela de transição de estados **[3]**.

A máquina possui 4 estados logo serão necessários 2 *flip-flop's* para modelar o seu comportamento. Seja Q1 e Q0 as suas saídas, x e y as duas entradas e S1, S0 as duas saídas

Estados Presentes		Entradas		Estados Seguintes		FF1		FF0		Saídas	
Q1	Q0	x	y	Q1	Q0	J1	K1	J0	K0	S1	S0
0	0	0	0	0	0	0	X	0	X	0	0
0	0	0	1	0	1	0	X	1	0	0	0
0	0	1	0	1	0	1	X	0	X	0	0
0	0	1	1	1	1	1	X	1	0	0	0
0	1	0	0	0	0	0	X	X	1	0	1
0	1	0	1	0	1	0	X	X	X	0	1
0	1	1	0	1	0	1	X	X	1	0	1
0	1	1	1	1	1	1	X	X	X	0	1
1	0	0	0	0	0	X	1	0	X	1	0
1	0	0	1	0	1	X	1	1	0	1	0
1	0	1	0	1	0	X	X	0	X	1	0
1	0	1	1	1	1	X	X	1	0	1	0
1	1	0	0	0	0	X	1	X	1	1	1
1	1	0	1	0	1	X	1	X	X	1	1
1	1	1	0	1	0	X	X	X	1	1	1
1	1	1	1	1	1	X	X	X	X	1	1

b) Obtenha as equações de excitação associadas às entradas J e K dos *flip-flop*'s assim como as equações associadas a cada uma das duas saídas [2].

$$S1 = Q1$$

$$S0 = Q0$$

$$J1 = X$$

$$K1 = 1$$

$$J0 = Y$$

$$K0 = Y'$$

c) Esboce o diagrama lógico do sistema digital [2].

