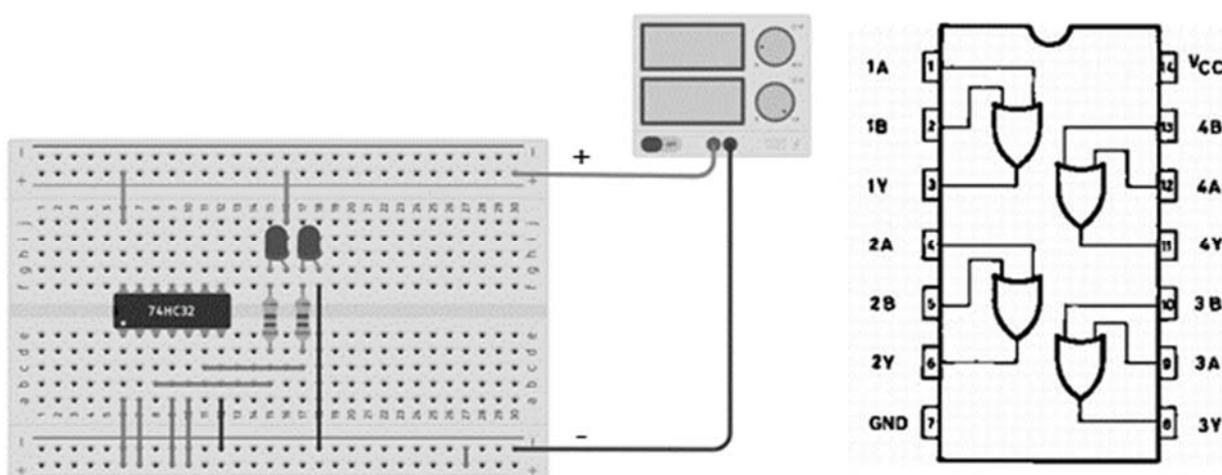


Antes de começar o exame leia atentamente as seguintes instruções:

- Apenas é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.
- Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar. A identificação imprópria de uma folha de exame acarreta a sua inutilização.
- A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis retos.
- O aluno detetado a plagiari verá o seu exame anulado e poderá incorrer em processo disciplinar.

Duração da prova: 1,5 hora.

- 1- Considere o seguinte circuito montado numa *breadboard* (à direita pode ver o *pinout* do integrado). Para os dois LEDs representados, o terminal da esquerda é o ânodo e o da direita o cátodo.



- a) Indique, justificando, se o circuito integrado se encontra corretamente polarizado. [1]

R:

Sim, de acordo com o pinout do integrado, o pino 7 deverá ser ligado à tensão de referência (ground) e o pino 14 a +5V.

- b) Qual o estado do LED mais à direita? Justifique. [2]

R:

O LED mais à direita está ligado à saída da porta OR número 2 (2Y). As entradas 2A e 2B encontram-se ligadas a GND logo, do ponto de vista lógico, ambas as entradas são zero. Atendendo ao comportamento de uma porta OR, a saída só é zero lógico se, e só se, ambas as suas duas entradas forem zero lógico. Por este motivo, nesse

caso, a saída 2Y terá um valor de tensão baixo (teoricamente zero) que fará com que o LED permaneça apagado.

- c) Existe algum valor lógico nas entradas 1A e 1B que faça com que o LED da esquerda acenda? Justifique [2]

R:

Não existe nenhuma combinação de valor lógico à entrada da porta OR número 1 (1A e 1B) que faça com o que o LED da esquerda acenda visto que ele se encontra reversamente polarizado no caso de 1Y ser 0V ou, no limite, a tensão aplicada aos seus terminais é inferior à tensão direta necessária para que este acenda. Ou seja, se $1Y=+5V$ a diferença de potencial é 0V.

- 2- A unidade lógica e aritmética de um microprocessador de 8 bits possui a capacidade de realizar operações de soma entre dois operandos de 1 byte. A operação de subtração é feita recorrendo à soma entre um dos operandos e o complemento para 2 do outro.

- a) Considerando que $A=1011\ 1100_2$ e $B=1111\ 0010_2$ indique o resultado decorrente da operação de soma entre os operandos. [2]

$$\begin{array}{r} 1110\ 0000 \text{ Bits de transporte} \\ 1011\ 1100 \\ 1111\ 0010 \\ \hline 11010\ 1110 \end{array}$$

- b) Qual o valor, na base 10, dos operandos e do resultado? Na sua opinião o microprocessador calculou devidamente o resultado? [2]

R:

Como o microprocessador utiliza notação em complemento para 2, tanto o operando A como o operando B se referem a números negativos. No caso do operando A,

$$A=1011\ 1100_{CP2} \rightarrow -68_{10}$$

$$B=1111\ 0010_{CP2} \rightarrow -14_{10}$$

Dado que o microprocessador é de 8 bits, o resultado da operação $A+B$ também deve caber em 8 bits. Por isso, $A+B = 1010\ 1110_{CP2}$. O bit mais significativo é o bit de transporte que, na prática, se encontra disponível num registo apropriado. Assim, o resultado calculado pelo microprocessador é:

$$1010\ 1110_{CP2} \rightarrow = -82_{10} = A+B$$

Conclui-se, desta forma. que a operação foi corretamente realizada pelo microprocessador.

- c) Determine o resultado da subtração entre os dois operandos na forma realizada pelo microprocessador. Apresente todos os bits de transporte gerados durante o procedimento. [1]

R:

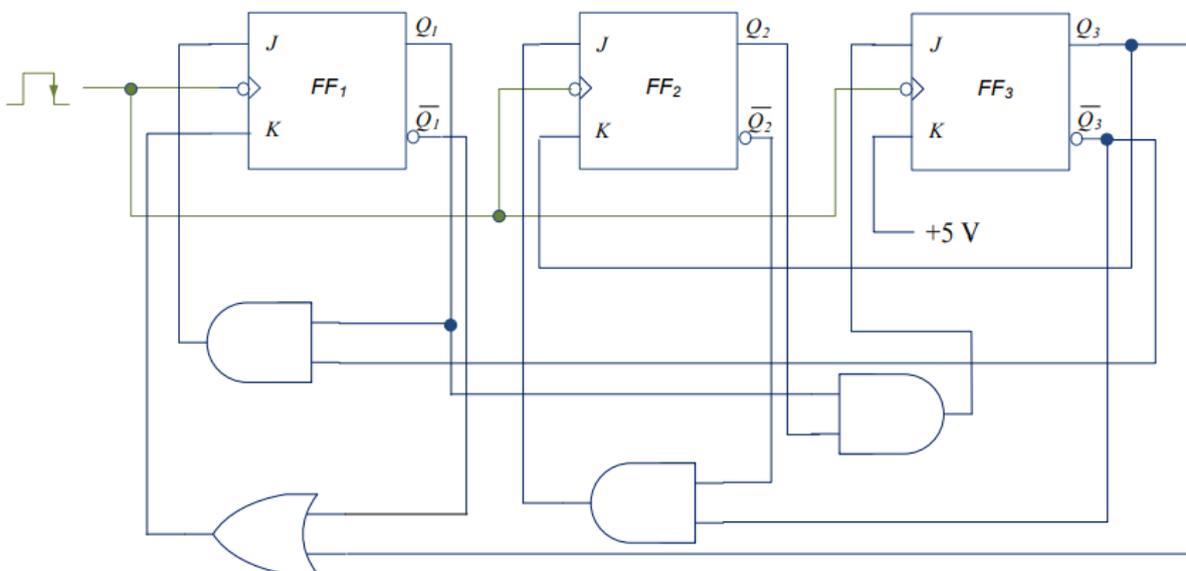
Como se referiu nas aulas, uma das vantagens da utilização do complemento para 2 é o facto do mesmo hardware usado para a soma poder ser usado para realizar a subtração. Neste sentido, o resultado da operação A-B será realizada através da soma $A + (-B)$ onde $-B$ é o complemento para 2 de B. Neste contexto, $-B = 0000\ 1110_{CP2}$ e logo

$$\begin{array}{r}
 0111\ 1000 \quad \text{Bits de transporte} \\
 1011\ 1100 \\
 0000\ 1110 \\
 \hline
 01100\ 1010
 \end{array}$$

Conclui-se que:

$$A - B = 11001010_{CP2} = -54_{10}$$

- 3- Considere o seguinte circuito sequencial constituído por três flip-flop's JK ativos à transição descendente.



- a) Obtenhas as equações de excitação. [3]

R:

As equações de excitação são as relações lógicas entre as entradas dos flip-flop's, as suas saídas e eventuais variáveis de entrada. Neste caso,

$$J_1 = Q_1 \cdot \bar{Q}_3, K_1 = \bar{Q}_1 + Q_3$$

$$J_2 = \bar{Q}_2 \cdot \bar{Q}_3, K_2 = Q_3$$

$$J_3 = Q_1 \cdot Q_2, K_3 = 1$$

b) Considerando que o estado atual dos flip-flop's é $Q_1=0, Q_2=0$ e $Q_3=0$, diga que valores irão apresentar ao fim de duas transições descendentes do *clock*. [2]

R:

Se, no instante inicial, $Q_1=0, Q_2=0$ e $Q_3=0$, as equações de excitação levam a que as entradas dos flip-flop's tenham os seguintes valores lógicos:

$$J_1 = 0, K_1 = 1$$

$$J_2 = 1, K_2 = 0$$

$$J_3 = 0, K_3 = 1$$

Atendendo ao funcionamento do flip-flop JK, ao fim da PRIMEIRA transição de clock, as saídas serão $Q_1 = 0, Q_2 = 1$ e $Q_3 = 0$. Esta nova combinação de estados, leva a que:

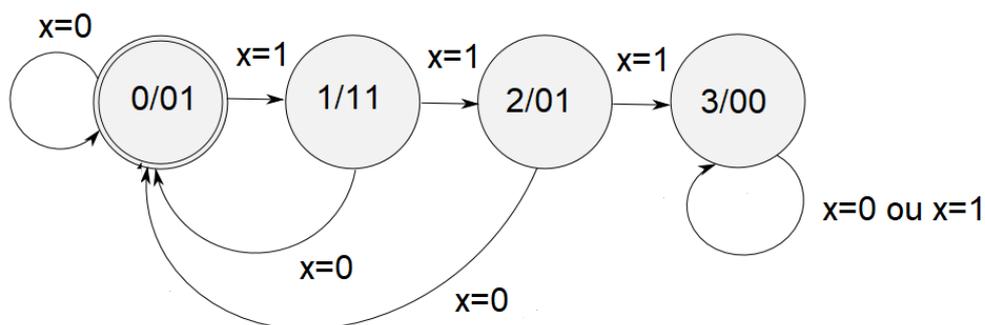
$$J_1 = 0, K_1 = 1$$

$$J_2 = 0, K_2 = 0$$

$$J_3 = 0, K_3 = 1$$

Após uma SEGUNDA transição do sinal de clock, as saídas serão: $Q_1 = 0, Q_2 = 1$ e $Q_3 = 0$.

4- Considere a seguinte máquina de estados finita relativa a um sistema com uma variável de entrada binária X e duas variáveis de saídas também binárias Y1 e Y0.



Recorrendo a flip-flop's do tipo D, projete um circuito digital sequencial capaz de realizar a operação pretendida. [5].

R:

Tabela de transição de estados:

Estados presentes		Entrada	Estados seguintes		Entrada de dados dos F.F:		Saídas	
Q1	Q0	X	Q1	Q0	D1	D0	Y1	Y0
0	0	0	0	0	0	0	0	1
0	0	1	0	1	0	1	0	1
0	1	0	0	0	0	0	1	1
0	1	1	1	0	1	0	1	1
1	0	0	0	0	0	0	0	1
1	0	1	1	1	1	1	0	1
1	1	0	1	1	1	1	0	0
1	1	1	1	1	1	1	0	0

Equações de Excitação:

X \ Q1 Q0	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$D_1 = Q_0 \cdot X + Q_1 \cdot Q_0 + Q_1 \cdot X$$

$$= X \cdot (Q_1 + Q_0) + Q_1 \cdot Q_0$$

X \ Q1 Q0	00	01	11	10
0	0	0	1	0
1	1	0	1	1

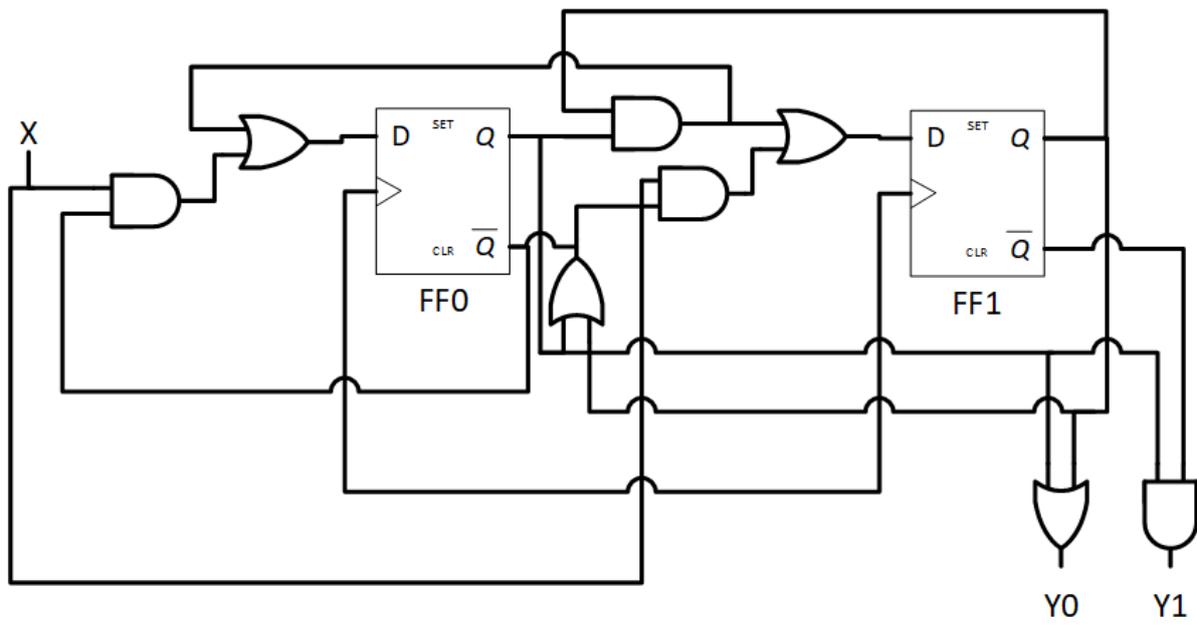
$$D_0 = X \cdot \bar{Q}_0 + Q_1 \cdot Q_0$$

Equações das saídas:

$$Y_1 = \bar{Q}_1 \cdot Q_0$$

$$Y_0 = Q_1 + Q_0$$

Diagrama lógico:



FIM