SISTEMAS DIGITAIS

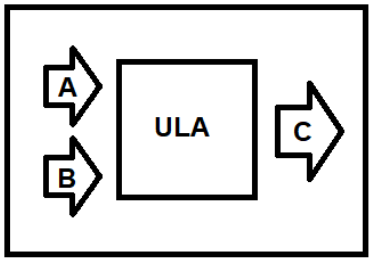
Licenciatura em Engenharia Eletrotécnica

Primeira Chamada – 27 de janeiro de 2023

- **Apenas é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.**
- **A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis retos.**

Duração da prova: 1,5 hora.

1- Considere um microprocessador de 8 bits onde uma unidade lógica e aritmética (ULA) permite realizar a operação de soma entre duas palavras de 8 bits, A e B, codificadas em complemento para 2.



a) Diga o que entende por *overflow* do resultado de uma operação aritmética e qual o motivo pela sua ocorrência. **[1]**

R: Diz-se que ocorreu *overflow* após a execução de uma operação aritmética quando a magnitude do resultado não consegue ser representado com o número de bits disponíveis pela arquitetura que está a ser utilizada.

b) Qual a sequência binária resultante, C, relativa à operação de soma entre:

$$A= -97_{10} \text{ e } B = -85_{10}.$$ **[2]**

R: Primeiro é necessário realizar a conversão dos números representados na base decimal para binário usando complemento para 2. Através de divisões sucessivas por 2 obtém-se, para a magnitude de A e B, a seguinte sequência:

$$|A|=97_{10} \text{ -> } 1100001_2$$
$$|B|=85_{10} \text{ -> } 1010101_2$$

Atendendo a que o microprocessador é de 8 bits, procede-se ao ajuste das sequências anteriores:

$$|A|=97_{10} \text{ -> } 01100001_2$$
$$|B|=85_{10} \text{ -> } 01010101_2$$

Visto que A e B são números negativos, a sua representação em complemento para 2 toma a forma:

$$A = 10011111_{cp2}$$
$$B = 10101011_{cp2}$$

Realizando a operação de soma resulta em:

		1	1	1	1	1	1	
	1	0	0	1	1	1	1	1
+	1	0	1	0	1	0	1	1
1	0	1	0	0	1	0	1	0

O resultado da operação é 01001010_{cp2} que, na base 10, equivale a $+74_{10}$. Neste caso, verifica-se a ocorrência de overflow visto que a soma de dois números negativos resultou num número positivo.

c) Qual o maior valor positivo, A, expresso na base 10, de tal forma que o cálculo de 2xA não resulte em *overflow*. **[2]**

R: Para realizar a operação pretendida, o valor colocado no operando A e no operando B devem ser o mesmo. Desta foram, A+A = 2A. O maior valor inteiro positivo que pode ser representado neste microprocessador sem ocorrência de *overflow* é $0111\ 1111_{cp2}$ (127_{10}). Desta forma, o valor máximo de A que pode ser utilizado para realizar esta operação deverá ser tal que:

$$\max\left\{A \in \mathbb{N} : 2A \leq 127\right\}$$

Ou seja, A = 63

2- Considere uma função booleana de variáveis booleanas expressa pela seguinte tabela de verdades:

x	y	z	F(x,y,z)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

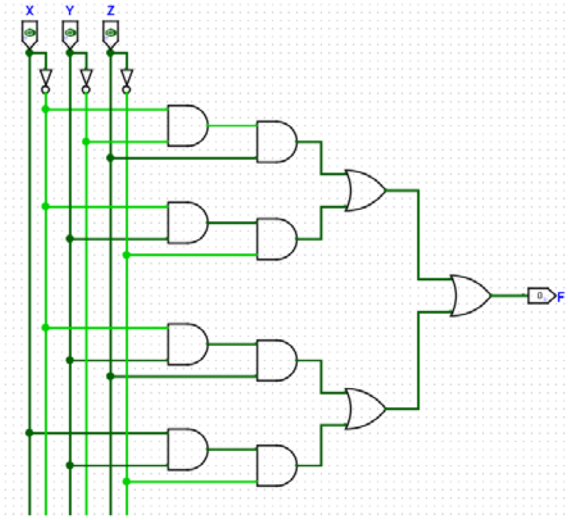
a) Obtenha a expressão lógica na forma canónica disjuntiva. **[1]**

R: Selecionando os minterms na tabela de verdades leva a:

$$F(x,y,z) = \overline{x} \cdot \overline{y} \cdot z + \overline{x} \cdot y \cdot \overline{z} + \overline{x} \cdot y \cdot z + x \cdot y \cdot \overline{z}$$

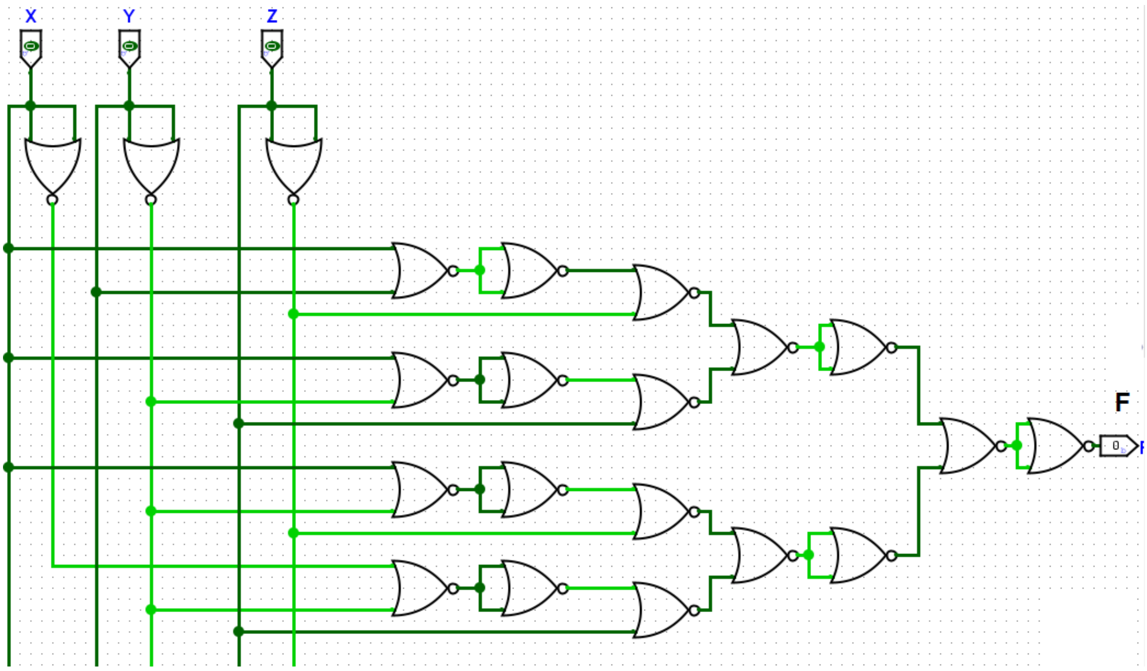
b) Esboce o diagrama lógico associado à função. **[2]**

R:



c) Desenhe o diagrama lógico equivalente usando apenas portas lógicas NOR de duas entradas. **[2]**

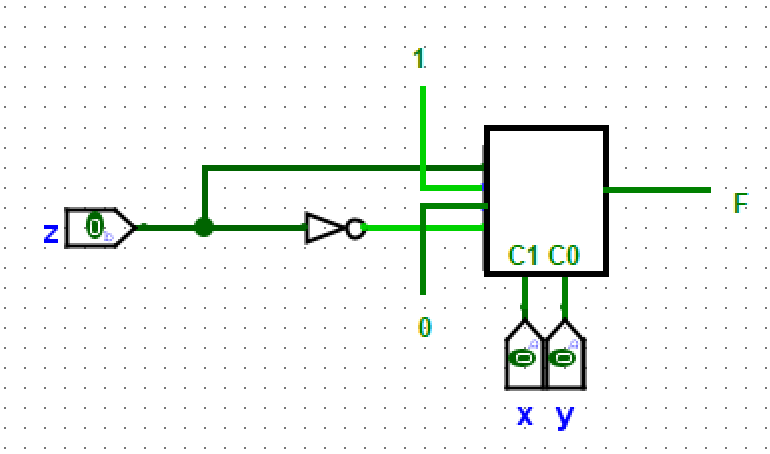
$$
\begin{aligned}
F(x,y,z) &= \overline{x}\cdot\overline{y}\cdot z+\overline{x}\cdot y\cdot\overline{z}+\overline{x}\cdot y\cdot z+x\cdot y\cdot\overline{z} \\
&= \overline{\overline{\overline{\overline{\overline{x}\cdot\overline{y}}}\cdot z}+\overline{\overline{\overline{\overline{x}\cdot y}}\cdot\overline{z}}+\overline{\overline{\overline{\overline{x}\cdot y}}\cdot z}+\overline{\overline{\overline{x\cdot y}}\cdot\overline{z}}}} \\
&= \overline{\overline{\overline{\overline{\overline{\overline{x}}+\overline{\overline{y}}}\cdot z}+\overline{\overline{\overline{\overline{x}}+\overline{y}}\cdot\overline{z}}+\overline{\overline{\overline{\overline{x}}+\overline{y}}\cdot z}+\overline{\overline{\overline{x}+\overline{y}}\cdot\overline{z}}}} \\
&= \overline{\overline{\overline{\overline{\overline{\overline{\overline{x}}+\overline{\overline{y}}}}+\overline{z}}+\overline{\overline{\overline{\overline{\overline{x}}+\overline{y}}}+\overline{\overline{z}}}+\overline{\overline{\overline{\overline{\overline{x}}+\overline{y}}}+\overline{z}}+\overline{\overline{\overline{\overline{x}+\overline{y}}}+\overline{\overline{z}}}}} \\
&= \overline{\overline{\overline{\overline{\overline{x+y}}+\overline{z}}+\overline{\overline{\overline{x+\overline{y}}}+z}+\overline{\overline{\overline{x+\overline{y}}}+\overline{z}}+\overline{\overline{\overline{\overline{x}+\overline{y}}}+z}}} \\
&= \overline{\overline{\overline{\overline{\overline{\overline{\overline{x+y}}+\overline{z}}+\overline{\overline{\overline{x+\overline{y}}}+z}}}+\overline{\overline{\overline{\overline{\overline{x+\overline{y}}}+\overline{z}}+\overline{\overline{\overline{\overline{x}+\overline{y}}}+z}}}}}
\end{aligned}
$$



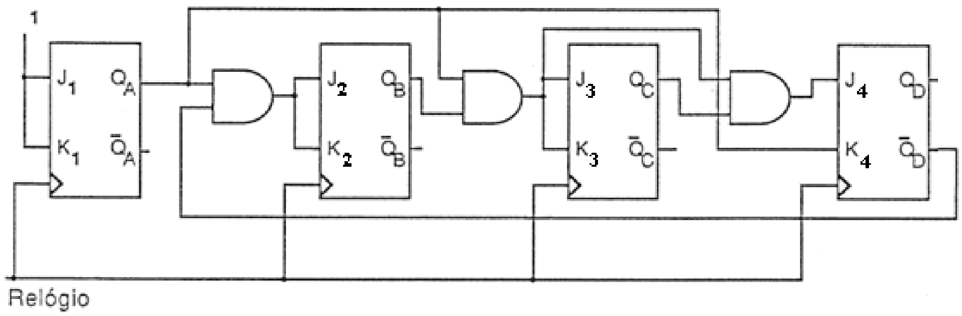
d) Mostre como esta função poderia ser implementada usando um multiplexador 4:1. **[2]**

R:

x	y	z	F(x,y,z)	
0	0	0	0	F(x,y,z)=z
0	0	1	1	
0	1	0	1	F(x,y,z)=1
0	1	1	1	
1	0	0	0	F(x,y,z)=0
1	0	1	0	
1	1	0	1	F(x,y,z)=~z
1	1	1	0	



3- Considere o seguinte circuito sequencial constituído por quatro flip-flop's JK ativos à transição ascendente.



a) Obtenhas as equações de excitação. **[2]**

R:

$$\begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases}, \begin{cases} J_2 = Q_A \cdot \bar{Q}_D \\ K_1 = Q_A \cdot \bar{Q}_D \end{cases}, \begin{cases} J_3 = Q_A \cdot Q_B \\ K_3 = Q_A \cdot Q_B \end{cases}, \begin{cases} J_4 = Q_A \cdot Q_B \cdot Q_C \\ K_4 = Q_A \end{cases}$$

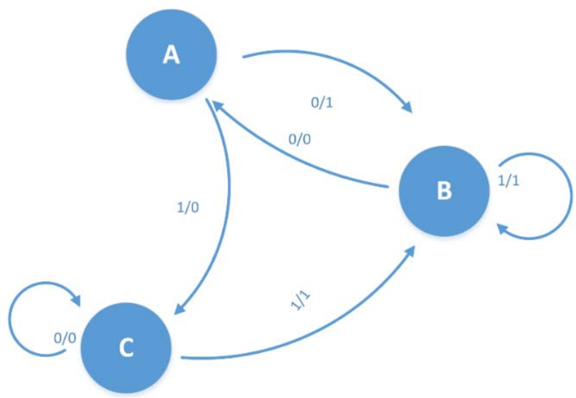
b) Considerando que o estado atual dos flip-flop's é Q_A=0, Q_B=0, Q_C e Q_D=0, diga que valores irão apresentar ao fim de duas transições do *clock*. **[2]**

R:

Estado presente				Estado Seguinte											
Q_A	Q_B	Q_C	Q_D	Q_A	Q_B	Q_C	Q_D	J_1	K_1	J_2	K_2	J_3	K_3	J_4	K_4
0	0	0	0	1	0	0	0	1	1	0	0	0	0	0	0
1	0	0	0	**0**	**1**	**0**	**0**	1	1	1	1	0	0	0	1

Ao fim de dois ciclos de *clock*, os valores de Q_A, Q_B, Q_C e Q_D são, respetivamente, 0, 1, 0 e 0

4- Considere a seguinte máquina de estados:



Recorrendo a flip-flop's do tipo JK, projete um circuito digital sequencial capaz de implementar essa maquina de estados. **[4]**

N.B. Tabela de transição de estados de um flip-flop JK:

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

R: Serão necessários 2 flip-flop JK. Vamos considerar o 74LS112 que se trata de um duplo flip-flop JK, ativo ao flanco descendente, com entradas de *clear* e *preset* assíncronas.

A atribuição dos estados é feita da seguinte forma:

A=00, B=01 e C=11

A partir do diagrama de estados, obtém-se a seguinte tabela de transição de estados:

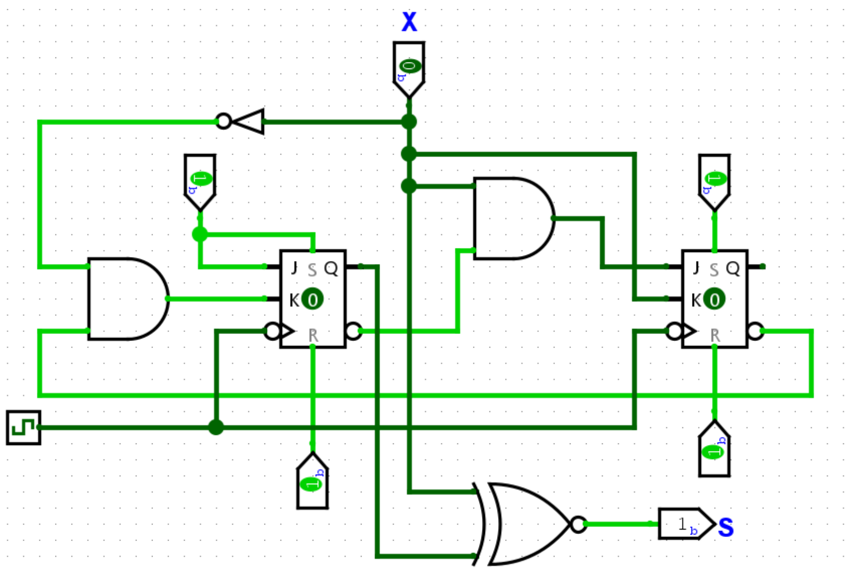
	Estados presentes		Entrada	Estados Seguintes						Saída
	Q1	Q0	X	Q1	Q0	J1	K1	J0	K0	S
A	0	0	0	0	1	0	X	1	X	1
A	0	0	1	1	1	1	X	1	X	0
B	0	1	0	0	0	0	X	X	1	0
B	0	1	1	0	1	0	X	X	0	1
C	1	1	0	1	1	X	0	X	0	0
C	1	1	1	0	1	X	1	X	0	1
	1	0	X	X	X	X	X	X	X	X

De onde se tiram as equações de excitação e a equação associada à saída:

$$\begin{cases} J_1 = \bar{Q}_0 \cdot X \\ K_1 = X \\ J_0 = 1 \\ K_0 = \bar{Q}_1 \cdot \bar{X} \end{cases}$$

$$S = Q_0 \cdot X + \bar{Q}_0 \cdot \bar{X} = \overline{Q_0 \oplus X}$$

Finalmente, o diagrama lógico:



FIM DO EXAME