

Antes de começar o exame leia atentamente as seguintes instruções:

- Apenas é permitido ter em cima da mesa de exame os enunciados e folhas entregues pelo docente.
- Identifique, de forma legível, o cabeçalho de todas as folhas de exame que entregar.
- A cotação das perguntas encontra-se indicada, no fim das mesmas, entre parêntesis retos.

Duração da prova: 2 horas

- 1- Considere sequências binárias de 12 bits, A e B, codificadas em complemento para 2. Admita que, em hexadecimal, cada uma dessas duas sequências é representada por 3F8 e BAC respetivamente:

R:

$$A = 3F8_{16} \Rightarrow 0011\ 1111\ 1000_{CP2} \Rightarrow \text{o número é positivo} \Rightarrow 8+16+32+64+128+256+512 = +1016_{10}$$

$$B = BAC_{16} \Rightarrow 1011\ 1010\ 1100_{CP2} \Rightarrow \text{o número é negativo} \Rightarrow 010001010100 \Rightarrow 4+16+64+1024 = -1108_{10}$$

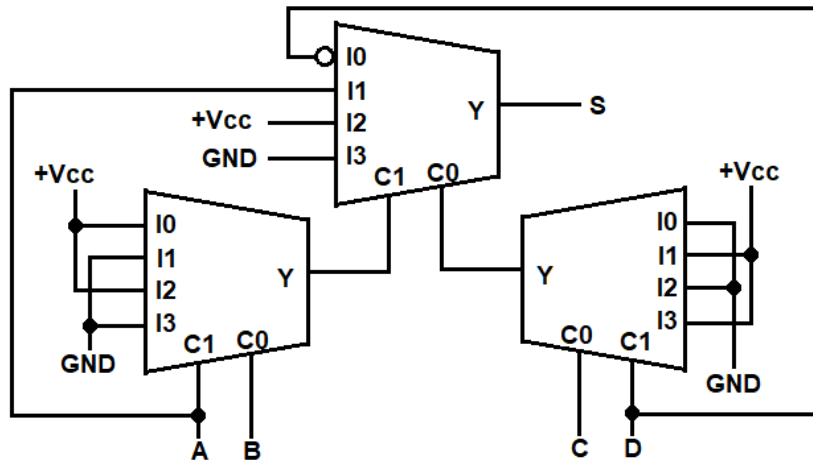
- a) Utilizando as regras relativas às operações aritméticas na base 2, determine o resultado da subtração entre A e B. (apresente o resultado dos empréstimos). [2]

R:

$$\begin{array}{r}
 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0 \\
 0\ 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 0\ 0\ 0 \\
 -\ 1\ 0\ 1\ 1\ 1\ 0\ 1\ 0\ 1\ 1\ 0\ 0 \\
 \hline
 1\ 1\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ 1\ 0\ 0
 \end{array}$$

Verifica-se a ocorrência de *overflow* no resultado da operação.

- 2- O sistema digital que se segue, composto por quatro multiplexadores 4:1, possui 4 entradas, A, B, C e D e uma saída S.



a) Obtenha a sua tabela de verdades. [3]

R:

A	B	D	C	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

b) Utilizando apenas portas NOR de duas entradas, apresente um circuito digital alternativo capaz de realizar a mesma função. [2]

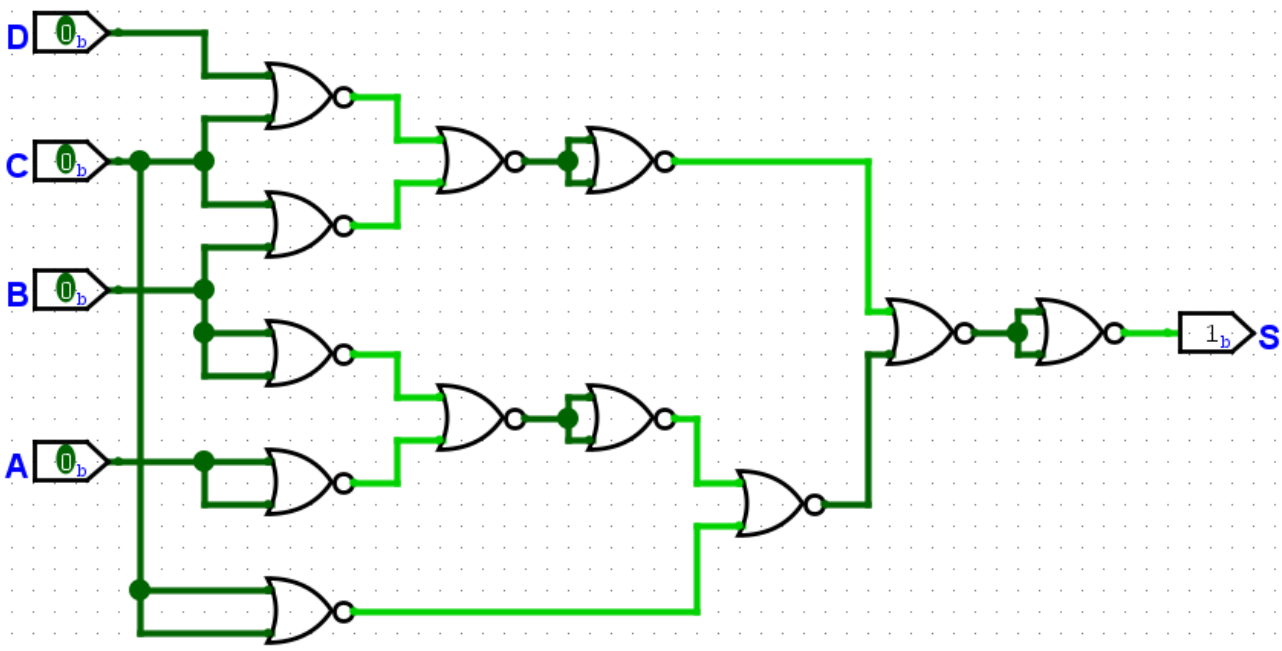
R:

Obter a expressão lógica mais simples a partir da tabela de verdades (usando, por exemplo, os mapas de Karnaugh):

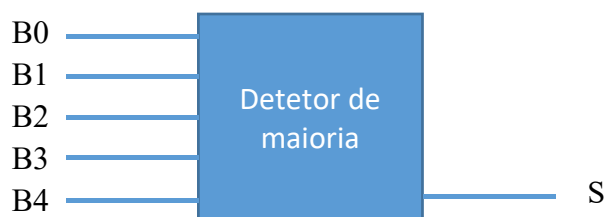
CD \ AB	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	0	0	1	0
10	0	0	1	0

$$S = \overline{B} \cdot \overline{C} + \overline{C} \cdot \overline{D} + A \cdot B \cdot C$$

$$= \overline{B + C} + \overline{C + D} + \overline{A + B + C}$$



3- Considere um circuito digital combinatório com cinco entradas e uma saída:



A saída S deve exibir o valor lógico 0 se mais de metade das entradas tiver o valor lógico 1. Caso contrário, deverá apresentar o valor lógico 1.

a) Qual a principal diferença entre um circuito digital combinatório e um circuito digital sequencial? [1]

R:

Consultar slides e apontamentos das aulas

b) Obtenha a tabela de verdades do circuito. [2]

R:

B4	B3	B2	B1	B0	S
0	0	0	0	0	1
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0

c) Usando os mapas de Karnaugh, obtenha a expressão lógica mais simples que relaciona a saída S com as entradas B0 a B4. [3]

		B4=0				B4=1					
B ₃ B ₂		00	1	11	10			00	01	11	10
B ₁ B ₀											
00		1	1	1	1	00		1	1	0	1
01		1	1	0	1	01		1	0	0	0
11		1	0	0	0	11		0	0	0	0
10		1	1	0	1	10		1	0	0	0

$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0}$$

		B4=0				B4=1					
B ₃ B ₂		00	1	11	10			00	01	11	10
B ₁ B ₀											
00		1	1	1	1	00		1	1	0	1
01		1	1	0	1	01		1	0	0	0
11		1	0	0	0	11		0	0	0	0
10		1	1	0	1	10		1	0	0	0

$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0}$$

		B4=0				B4=1					
B ₃ B ₂		00	1	11	10			00	01	11	10
B ₁ B ₀											
00		1	1	1	1	00		1	1	0	1
01		1	1	0	1	01		1	0	0	0
11		1	0	0	0	11		0	0	0	0
10		1	1	0	1	10		1	0	0	0

$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0}$$

		B4=0				B4=1					
B ₃ B ₂		00	1	11	10			00	01	11	10
B ₁ B ₀											
00		1	1	1	1	00		1	1	0	1
01		1	1	0	1	01		1	0	0	0
11		1	0	0	0	11		0	0	0	0
10		1	1	0	1	10		1	0	0	0

$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1}$$

		B4=0				B4=1			
B ₃ B ₂		00	1	11	10	00	01	11	10
B ₁ B ₀									
00		1	1	1	1	1	1	0	1
01		1	1	0	1	1	0	0	0
11		1	0	0	0	0	0	0	0
10		1	1	0	1	1	0	0	0

$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2}$$

		B4=0				B4=1			
B ₃ B ₂		00	1	11	10	00	01	11	10
B ₁ B ₀									
00		1	1	1	1	1	1	0	1
01		1	1	0	1	1	0	0	0
11		1	0	0	0	0	0	0	0
10		1	1	0	1	1	0	0	0

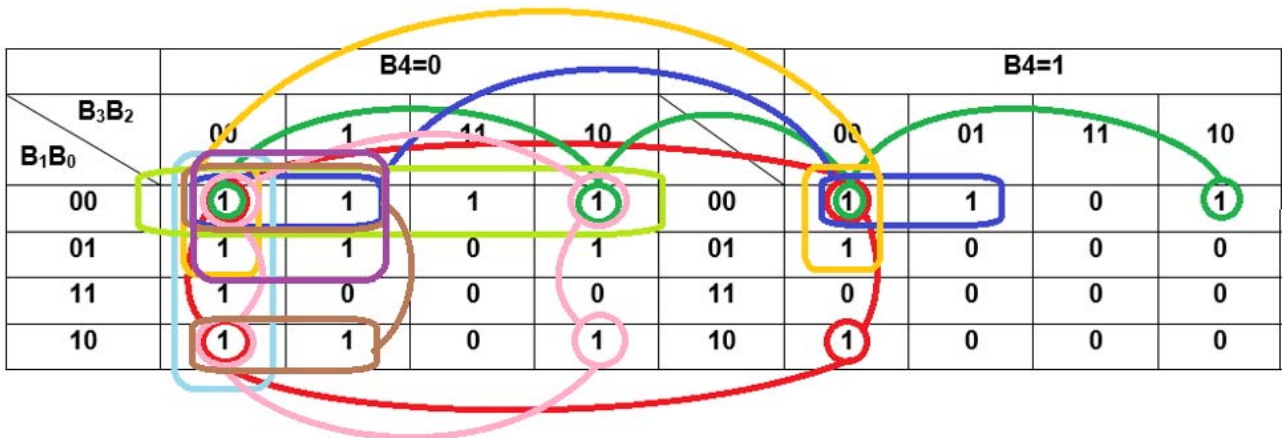
$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} + \overline{B_4} \cdot \overline{B_1} \cdot \overline{B_0}$$

		B4=0				B4=1			
B ₃ B ₂		00	1	11	10	00	01	11	10
B ₁ B ₀									
00		1	1	1	1	1	1	0	1
01		1	1	0	1	1	0	0	0
11		1	0	0	0	0	0	0	0
10		1	1	0	1	1	0	0	0

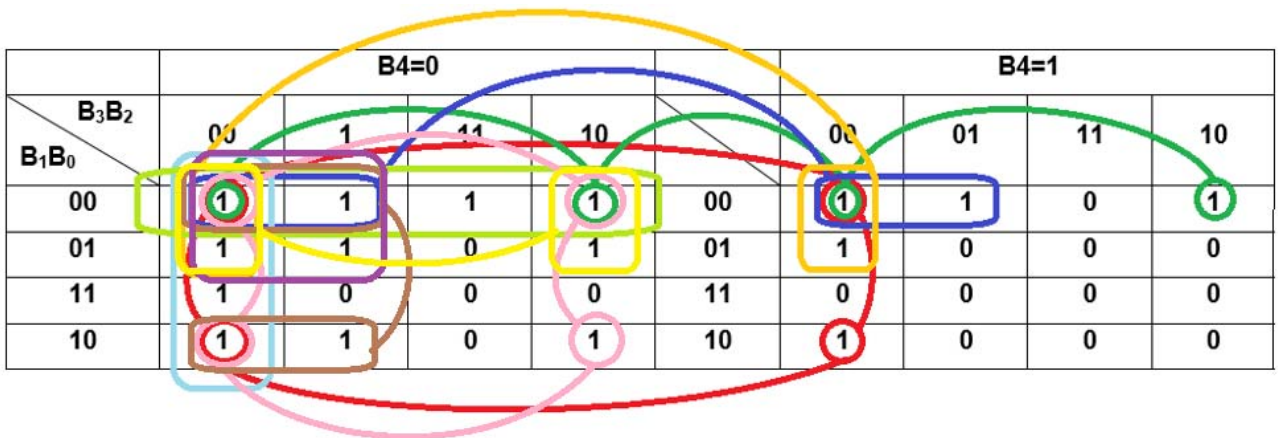
$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} + \overline{B_4} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_2} \cdot \overline{B_0}$$



$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} + \overline{B_4} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_0}$$

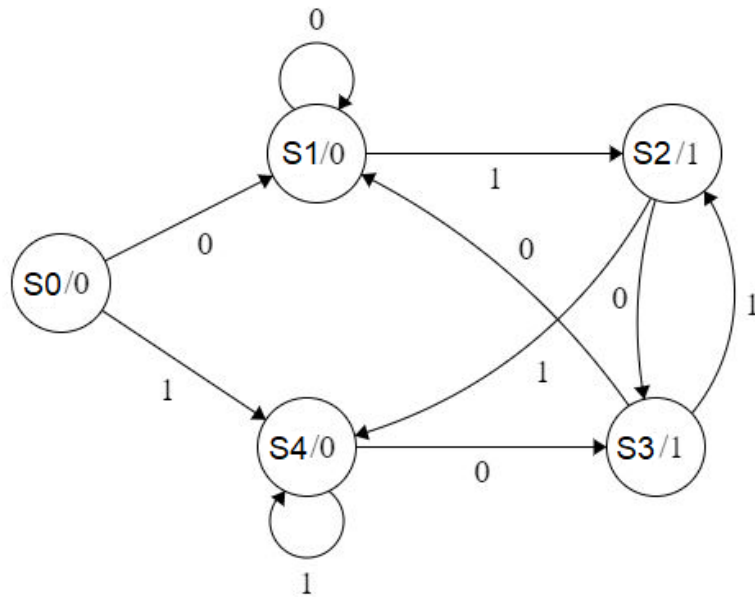


$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} + \overline{B_4} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_1}$$



$$S = \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_2} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} + \overline{B_4} \cdot \overline{B_1} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_2} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_0} + \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_1} + \overline{B_4} \cdot \overline{B_2} \cdot \overline{B_1}$$

4- Considere a seguinte máquina de estados finitos:



Recorrendo a flip-flop's do **tipo D**, projete um circuito digital sequencial capaz de implementar essa maquina de estados. [4].

R:

Trata-se de uma máquina de Moore com quatro estados, uma entrada e uma saída. Para representar os quatro estados vão ser necessários três flip-flop's. Para além disso, vamos designar a entrada por **A** e realizar a atribuição dos estados do seguinte modo: **S0 = 000**, **S1 = 001**, **S2 = 010**, **S3=011** e **S4=100**

Com base no diagrama de estados, a tabela de transição de estados toma a seguinte forma:

Estados Presentes			Entrada	Estados Seguintes			Entrada de Dados			Saída
Q2	Q1	Q0		Q2	Q1	Q0	D2	D1	D0	
0	0	0	0	0	0	1	0	0	1	0
0	0	0	1	1	0	0	1	0	0	0
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	0	1	0	0
0	1	0	0	0	1	1	0	1	1	1
0	1	0	1	1	0	0	1	0	0	1
0	1	1	0	0	0	1	0	0	1	1
0	1	1	1	0	1	0	0	1	0	1
1	0	0	0	0	1	1	0	1	1	0
1	0	0	1	1	0	0	1	0	0	0
1	X	1	X	X	X	X	X	X	X	X
1	1	X	X	X	X	X	X	X	X	X

Recorrendo aos mapas de Karnaugh obtêm-se as seguintes equações de excitação:

Q2, Q1		Q0, X					
		00	01	11	10		
00	01	11	10	0	1	0	0
01	11	10	0	1	0	0	0
11	10	-	-	-	-	-	-
10	0	1	-	-	-	-	-

$$D_2 = \overline{Q_0} \cdot A$$

Q2, Q1		Q0, X					
		00	01	11	10		
00	01	11	10	0	0	1	0
01	11	10	1	0	1	0	0
11	10	-	-	-	-	-	-
10	1	0	-	-	-	-	-

$$D_1 = Q_0 \cdot A + (Q_1 \cdot \overline{Q_0} + Q_2) \cdot \overline{A}$$

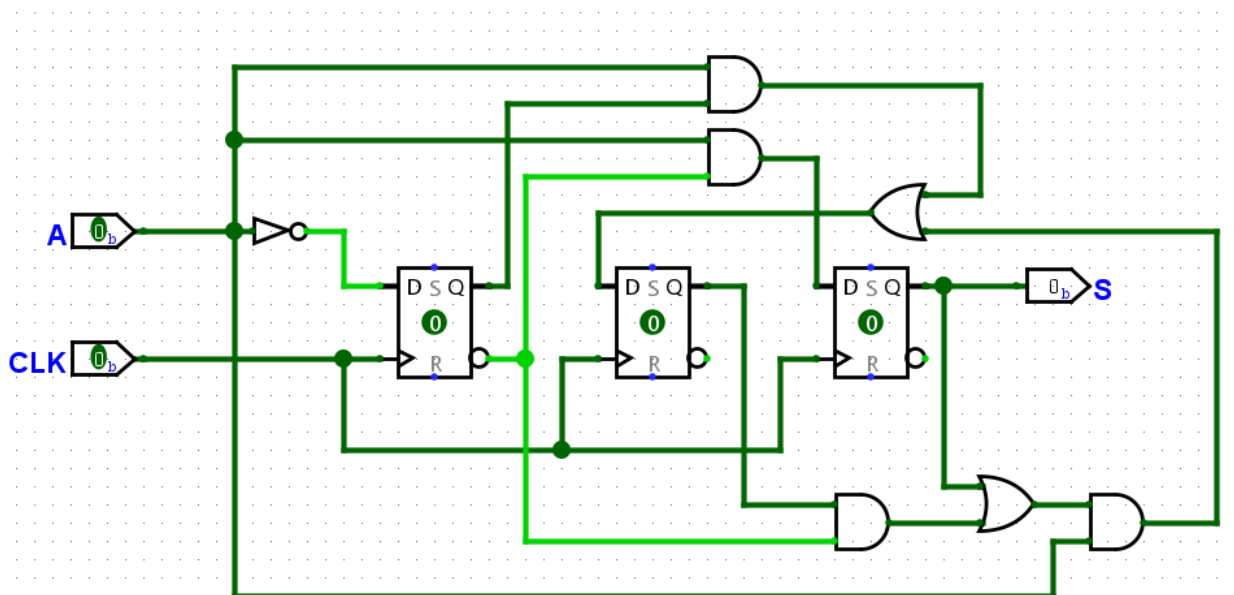
Q2, Q1		Q0, X					
		00	01	11	10		
00	01	11	10	1	0	0	1
01	11	10	1	0	0	1	1
11	10	-	-	-	-	-	-
10	1	0	-	-	-	-	-

$$D_0 = \overline{A}$$

A equação da saída é fácil de obter. Por inspeção visual da tabela verifica-se que:

$$S = Q_2$$

Finalmente, o diagrama lógico do circuito sequencial:



FIM DA PROVA